

## 国際調査報告

(法 8 条、法施行規則第40、41条)  
[ P C T 1 8 条、P C T 規則43、44]

出願人又は代理人 の書類記号 S01P0708W000	今後の手続きについては、国際調査報告の送付通知様式(P C T / I S A / 2 2 0 ) 及び下記5を参照すること。		
国際出願番号 P C T / J P 0 1 / 0 3 8 3 5	国際出願日 (日.月.年) 0 8 . 0 5 . 0 1	優先日 (日.月.年) 0 8 . 0 5 . 0 0	
出願人 (氏名又は名称) ソニー株式会社			

国際調査機関が作成したこの国際調査報告を法施行規則第41条 ( P C T 1 8 条 ) の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照) 。

3. ☐ 発明の単一性が欠如している (第 II 欄参照) 。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第 III 欄に示されているように、法施行規則第47条 ( P C T 規則38.2(b) ) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 3 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H04N5/335, G01C3/06

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H04N5/335, G01C3/06, H01L27/14

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2001年
日本国登録実用新案公報	1994-2001年
日本国実用新案登録公報	1996-2001年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 7-67042 A (松下電器産業株式会社) 10. 3月. 1995 (10. 03. 95) 全文, 第1-7図 (ファミリーなし)	1-18
A	JP 7-274072 A (日本電気株式会社) 16. 7月. 1999 (16. 07. 99) 全文, 第1-2図 & US 5650643 A & EP 0675345 A	1-18
A	JP 8-275059 A (三菱電機株式会社)	3, 8, 13, 17

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

27. 07. 01

国際調査報告の発送日

07.08.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井上 信一

5P

9058

電話番号 03-3581-1101 内線 3541

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	18. 10月. 1996 (18. 10. 96) 段落番号【0003】－【0004】，第16図 (ファミリーなし)	

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/03835

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H04N5/335, G01C3/06

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H04N5/335, G01C3/06, H01L27/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2001  
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-67042 A (Matsushita Electric Ind. Co., Ltd.), 10 March, 1995 (10.03.95), Full text; Figs. 1 to 7 (Family: none)	1-18
A	JP 7-274072 A (NEC Corporation), 16 July, 1999 (16.07.99), Full text; Figs. 1 to 2 & US 5650643 A & EP 0675345 A	1-18
A	JP 8-275059 A (Mitsubishi Electric Corporation), 18 October, 1996 (18.10.96), Par. Nos. [0003] to [0004]; Fig. 16 (Family: none)	3, 8, 13, 17

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:  
"A" document defining the general state of the art which is not considered to be of particular relevance  
"E" earlier document but published on or after the international filing date  
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
"O" document referring to an oral disclosure, use, exhibition or other means  
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
"&" document member of the same patent family

Date of the actual completion of the international search  
27 July, 2001 (27.07.01)

Date of mailing of the international search report  
07 August, 2001 (07.08.01)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年11月15日 (15.11.2001)

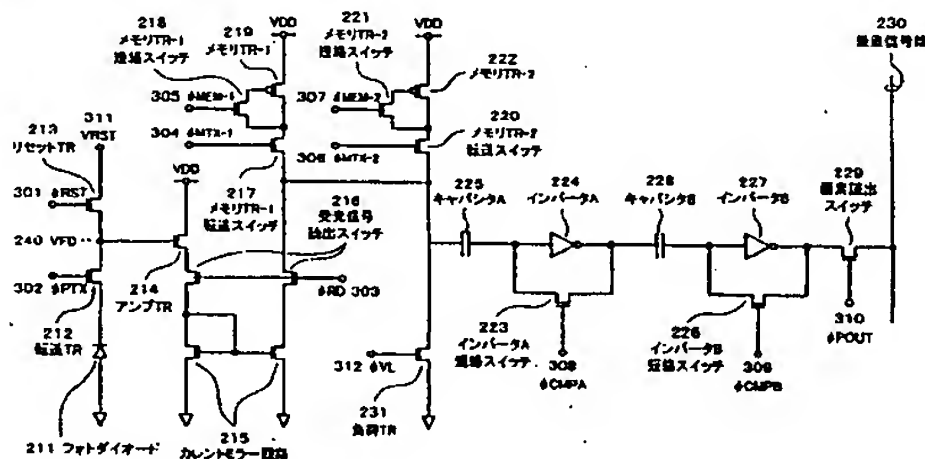
PCT

(10) 国際公開番号  
WO 01/86946 A1

- (51) 国際特許分類: H04N 5/335, G01C 3/06 (72) 発明者; および  
(21) 国際出願番号: PCT/JP01/03835 (75) 発明者/出願人 (米国についてのみ): 吉村真一 (YOSHIMURA, Shinichi) [JP/JP], 上田和彦 (UEDA, Kazuhiko) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).  
(22) 国際出願日: 2001年5月8日 (08.05.2001)  
(25) 国際出願の言語: 日本語 (74) 代理人: 杉浦正知 (SUGIURA, Masatomo); 〒171-0022 東京都豊島区南池袋2丁目49番7号 池袋パークビル7階 Tokyo (JP).  
(26) 国際公開の言語: 日本語 (81) 指定国 (国内): CA, US.  
(30) 優先権データ: 特願2000-134686 2000年5月8日 (08.05.2000) JP 添付公開書類:  
特願2001-24493 2001年1月31日 (31.01.2001) JP 国際調査報告書  
(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP). 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: IMAGING DEVICE, AND ITS DRIVE CONTROL METHOD

(54) 発明の名称: 撮像装置及びその駆動制御方法



211...PHOTO DIODE  
212...TRANSFER TR  
213...RESET TR  
214...AMPLIFIER TR  
215...CURRENT MIRROR CIRCUIT  
216...LIGHT RECEPTION SIGNAL READING SWITCH  
217...MEMORY TR-1 TRANSFER SWITCH  
218...MEMORY TR-1 SHORT CIRCUIT SWITCH  
219...MEMORY TR-1  
220...MEMORY TR-2 TRANSFER SWITCH  
221...MEMORY TR-2 SHORT CIRCUIT SWITCH  
222...MEMORY TR-2  
223...INVERTER A SHORT-CIRCUIT SWITCH  
224...INVERTER A  
225...CAPACITOR A  
226...INVERTER B SHORT-CIRCUIT SWITCH  
227...INVERTER B  
228...CAPACITOR B  
229...PIXEL READING SWITCH  
230...VERTICAL SIGNAL LINE  
231...LOAD TR

(57) Abstract: An imaging device which comprises: a light receiving unit for generating an electric signal according to the brightness of an object; an amplification unit for amplifying a light reception signal; a plurality of storage units for storing an amplified electric signal as a current signal; a load unit for converting the current output of each storage unit into a voltage; an operation unit for operating the output signal of the load unit; an output unit for outputting the operation result to the outside; and a drive control unit for controlling the drive of each unit. A reference signal level, as stored in one storage unit, and the brightness of the object, as stored in another storage unit while being integrated with respect to time, are compared to each other so that the brightness of the object is subjected to an AD conversion on the basis of the time during which the brightness signal exceeds the reference signal.



---

(57) 要約:

撮像装置は、被写体の明るさに応じた電気信号を発生する受光部と、受光信号を増幅する増幅部と、増幅電気信号を電流信号として記憶する複数の記憶部と、各記憶部の電流出力を電圧に変換する負荷部と、負荷部の出力信号を演算する演算部と、演算結果を外部出力する出力部と、各部の駆動を制御する駆動制御部とで構成される。1つの記憶部に記憶される基準信号レベルと、他の記憶部に時間的に積分しながら記憶される被写体の明るさを比較して、明るさ信号が基準信号を越えた時間に基づいて被写体の明るさをA/D変換する。

## 明 細 書

### 撮像装置及びその駆動制御方法

#### 5 技術分野

本発明は、小型・軽量に構成された撮像装置及びその駆動制御方法に係り、CMOS（Complementary Metal-Oxide Semiconductor：相補性金属酸化膜半導体）などの半導体製造技術を用いて実現される撮像装置及びその駆動制御方法に関する。

- 10 更に詳しくは、本発明は、各画素における検出信号を処理するためのさまざまな回路モジュールを同じチップ上に集積してなる撮像装置及びその駆動制御方法に係り、特に、画素信号に対するAD（Analog-to-Digital）変換処理並びに多の1以上の演算処理を同じチップ上の回路モジュールを用いて実現する撮像装置及びその駆動制御方法に関する。

15

#### 背景技術

- 昨今の半導体製造技術の急速な進歩とも相俟って、比較的安価な撮像素子が入手可能となってきた。この結果、携帯電話やPDA（Personal Digital Assistant）などの携帯端末において、小型のカメラを付属あるいは搭載した機器が開発され、市場に流通し始めている。ところが、これらの携帯端末は、小型軽量を特徴とするので、搭載されるカメラも小型軽量でなければならない。また、携帯型機器は、一般にバッテリー駆動式であるため、機器本体のみならずその付属・搭載部品も、低消費電力であることが求められる。

- 25 一般的に、カメラといえばCCD（Charge Coupled Device：電荷結合素子）センサを用いたものを思い浮かべることができる。CCDとは

、MOS (Metal Oxide Semiconductor) 型電極をチェーンのように配  
設して構成される集積回路のことであり、半導体表面の電荷をある電極  
から次の電極へと順次転送する機能を利用して、撮像した画像データを  
出力するようになっている。ところが、CCDセンサは電源電圧が複数  
5 必要であることや、消費電力が比較的大きいといった点から上記のよう  
な携帯機器のような用途には向いているとはいえない。

他方、COMS (Complementary Metal-Oxide Semiconductor: 相補  
性金属酸化膜半導体) イメージ・センサが次世代のイメージ・センサと  
して注目を浴び始めている。

10 COMS技術を用いて実装されるこのタイプのイメージ・センサであ  
れば、小型・軽量化や、低消費電力などの仕様を満足させることができ  
る。また、イメージ・センサと同一のチップ上に、CMOS技術で実現  
できる様々な回路部品を集積することができる。特に、センサ上の各画  
素におけるフォト・ダイオード出力をノイズ除去並びにゲイン補正を経  
15 た後、アナログ値からデジタル値に変換して、さらにはデジタル信号の  
まま画像処理を行うといった機能を同一チップ上に搭載したCOMSイ  
メージ・センサに関する報告も幾つか見られる。特に、センサ上で  
画像処理を行う機能を搭載した、いわゆる「スマート・センサ」は、ゲ  
ーム用からセキュリティ用途に至るまで幅広く利用されるものとして期  
20 待されている。

COMSイメージ・センサに関する特集記事としては、例えば、「デ  
ィジタル画像処理機能を持ったCMOSイメージセンサ」(映像情報メ  
ディア学会誌Vol. 53, No. 2, pp172~177, 1999) が挙げられる。

また、論文としては、"COMS Active Pixel Sensor with On-Chip Su  
25 ccessive Approximation Analog-To-Digital Converter" (Zhimin Zho  
u et al., IEEE Transactions On Electron Device, Vol. 44, No. 10, 19



97) が挙げられる。

さらに米国特許としては、1998年9月1日付けで発行された米国特許第5,801,657号明細書（発明の名称：SERIAL ANALOG-TO-DIGITAL CONVERTER USING SUCCESSIVE COMPARISONS）などが存在する。

5     しかしながら、先行するこれらの技術のほとんどが、撮像素子と同一のチップ上に、画素毎、あるいは画素列毎に専用のアナログ／デジタル・コンバータ（以下、「ADコンバータ」とする）を搭載することによって所望の機能を実現するものである。したがって、画素出力に対してADコンバータ以外の処理を行うためには、さらに別の回路を集積する  
10    必要があり、イメージ・センサ・チップ全体の回路規模が大きくならざるを得ないという問題がある。

さらに、上述した各先行技術においては、画素毎に必要な増幅トランジスタや読み出しトランジスタの特性ばらつきに起因する固定パターン・ノイズを除去するための回路が別途必須となるので、回路構成  
15    はますます複雑になってしまう。

また、スマート・センサに関する文献の中には、明るいシーンでも飽和せずに、暗いシーンも埋もれず再現することができる、ダイナミック・レンジの広い撮像結果が得られるものについて報告がある。この種の先行技術として、フォト・ダイオード出力をMOSトランジスタのサブスレッシュホールド領域における電流特性を利用して対数変換を施すもの（  
20    萩原他著「対数変形型COMSエリア個体撮像素子」、映像情報メディア学会誌 Vol.54, No.2, pp.224～228, 2000）や、フォト・ダイオード出力が飽和した回数をカウントして、その回数を明るさに換算するもの（宮川他著「マルチ蓄積時間受光素子」、映像情報メディア学会誌  
25    Vol.51, No.2, pp256～262, 1997；伊野他著「蓄積中間画像を用いたイメージセンサ上でのA/D変換」、映像情報メディア学会誌 Vol.54,

No. 2, pp. 297~300, 2000) などが挙げられる。

しかしながら、前者のフォト・ダイオード出力をMOSトランジスタ  
のサブスレッショルド領域における電量特性を利用して対数変換を施す  
タイプの場合、入射光量が急激に減少した場合の応答性に問題があつた  
5 り、低照度におけるノイズの影響、あるいは画素内回路の特性のばらつ  
きによる固定パターン・ノイズの増大といった弊害が生じるなどの問題  
がある。

また、後者のフォト・ダイオード出力が飽和した回数をカウントして  
明るさに換算するタイプの場合には、信号を電圧として記憶したり比較  
10 したりするので、高速な処理が困難となり、アナログからデジタルへの  
変換後のビット数が充分でないという問題がある。

本発明の目的は、小型・軽量に構成された優れた撮像装置及びその駆  
動制御方法を提供することにある。

本発明の更なる目的は、COMS (Complementary Metal-Oxide Semi  
15 conductor: 相補性金属酸化膜半導体) などの半導体製造技術を用いて  
実現される、優れた撮像装置及びその駆動制御方法を提供することにあ  
る。

本発明の更なる目的は、各画素における検出信号を処理するためのさ  
まざまな回路モジュールを同じチップ上に集積してなる、優れた撮像装  
20 置及びその駆動制御方法を提供することにある。

本発明の更なる目的は、画素信号に対するAD (Analog-to-Digital  
) 変換処理並びに多の1以上の演算処理を同じチップ上の回路モジュ  
ールを用いて実現することができる、優れた撮像装置及びその駆動制御方  
法を提供することにある。

25 本発明の更なる目的は、受光信号強度をアナログ値からデジタル値に  
変換する際に、同時にダイナミック・レンジを拡大して、暗い領域から

明るい領域に至るまで再現した画像を得ることができる、優れた撮像装置及びその駆動制御方法を提供することにある。

#### 発明の開示

- 5      本発明は、上記課題を参酌してなされたものであり、その第1の側面は、被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記記憶部からの電流出力を電圧に変換する負荷部と、前記負荷部の出力信号を演算する演算部  
10      と、前記演算部における演算結果を外部に出力する出力部と、前記各部の駆動を制御する駆動制御部を具備し、

- 前記駆動制御部は、1つの記憶部に基準信号レベルに相当する電流信号を記憶させるとともに、他の記憶部に被写体の明るさに相当する電流信号を時間的に積分しながら記憶させ、各記憶部から読み出された電流  
15      信号に基づいて基準信号レベルと被写体の明るさを前記演算部において比較処理せしめる駆動制御モードを有し、

前記演算部は、被写体の明るさ信号が基準信号レベルを越えた時間に識別信号を出力することを特徴とする撮像装置である。

- 本発明の第1の側面に係る撮像装置において、前記駆動制御部は、前  
20      記複数の記憶部の各々に異なる時刻における被写体の明るさに相当する電流信号を記憶させるとともに、各記憶部から読み出された電流信号に基づいて各時刻における被写体の明るさを前記演算部において比較処理せしめる他の駆動制御モードを有してもよい。このような場合、前記演算部は、被写体の明るさが変化した時間に識別信号を出力するようにし  
25      てもよい。

また、前記増幅部は、ゲート電極同士を対向して接続したミラー・ト

ランジスタを含んでもよい。このような場合、前記増幅部は、カレント・ミラーの原理に従い電流信号を増幅することができる。

また、前記記憶部は、カレント・コピアの原理に従って電流信号を記憶するようにしてもよい。

- 5     また、CMOS (Complementary Metal-Oxide Semiconductor: 相補性金属酸化膜半導体) 製造技術を利用することによって、前記の各部を同一回路チップ上に実装するようにしてもよい。例えば、前記の各部を画素毎に有し、多数の画素を縦横のマトリックス状に配置した光学エリアと、該光学エリア内に配置された各画素を駆動する信号を発生する駆動回路と、各画素からの出力信号を外部に出力する出力回路とが同一回路チップ上に実装して、撮像素子を構成することができる。このような撮像素子により撮像した画像フレームを、所定のフレーム・メモリに一時格納したり、デジタル-アナログ変換して、NTSC (National Television System Committee) 形式又はVGA (Video Graphic Array) 形式の表示装置上で画面出力することができる。
- 10     また、本発明の第2の側面は、被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記記憶部からの電流出力を電圧に変換する負荷部と、前記負荷部の出力信号を演算する演算部と、前記演算部における演算結果を外部に出力する出力部とで構成される撮像装置の駆動制御方法であって、
- 15     (a) 1つの記憶部に基準信号レベルに相当する電流信号を記憶するステップと、
- 20     (b) 他の記憶部に被写体の明るさに相当する電流信号を時間的に積分しながら記憶するステップと、
- 25     (c) 各記憶部から読み出された電流信号に基づいて基準信号レベルと

被写体の明るさを前記演算部において比較処理するステップと、

(d) 被写体の明るさ信号が基準信号レベルを超えた瞬間に前記演算部が識別信号を出力するステップと、

で構成される駆動制御モードを実現することを特徴とする撮像装置の駆  
5 動制御方法である。前記ステップ(d)において出力される識別信号に  
よって被写体の明るさが基準信号レベルを越えるまでの経過時間を計測  
することができる。そして、この経過時間に基づいて、アナログ量であ  
る被写体の明るさをデジタル量に変換することができる。

本発明の第2の側面に係る撮像装置の駆動制御方法は、さらに、

10 (p) 前記複数の記憶部の各々に異なる時刻における被写体の明るさに  
相当する電流信号を記憶するステップと、

(q) 各記憶部から読み出された電流信号に基づいて各時刻における被  
写体の明るさを前記演算部において比較処理するステップと、

(r) 前記演算部が被写体の明るさが変化した瞬間に識別信号を出力す  
15 るステップと、

で構成される他の駆動制御モードを実現してもよい。このような場合、  
被写体の明るさの時間的な変化を高速に演算することができる。

また、本発明の第3の側面は、被写体の明るさに応じた電気信号を発  
生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅  
20 部において増幅された電気信号を電流信号として記憶する複数の記憶部  
と、前記の各記憶部から読み出した信号を入力して比較する比較部と、  
前記比較部における比較結果を画素信号として出力する出力部とを具備  
し、

1つの記憶部に基準信号レベルに相当する電流信号を記憶するととも  
25 に、他の記憶部に被写体の明るさに相当する電流信号を記憶し、

前記比較部は、該1つの記憶部から入力される基準信号レベルを時間

的に徐々に上昇させながら他の記憶部から入力される信号と比較する、  
ことを特徴とする撮像装置である。

本発明の第3の側面に係る撮像装置によれば、受光部が被写体の明る  
さに応じて発生する電気信号は、増幅部により増幅された後、記憶部の  
5 1つに記憶される。そして、記憶部から電気信号を読み出して、これを  
基準信号レベルと比較することにより画素出力を得る。

ここで、暗い光を検出して明るさとして表現するためには基準信号レ  
ベルを上げる必要がある一方、明るい光を検出して表現するためには基  
準信号レベルを下げる必要がある。そこで、本発明の第3の側面に係る  
10 撮像装置によれば、比較部は、1つの記憶部から入力される基準信号レ  
ベルを時間的に徐々に上昇させながら他の記憶部から入力される信号と  
比較するようにした。したがって、明るい光が検出される時間的に早い  
期間では基準レベルを低く設定しておき、時間の経過とともに基準レベ  
ルを徐々に上げていくことにより、暗い光から明るい光に至るまで、ダ  
イナミック・レンジの広い範囲で明るさを表現することができる。  
15

また、本発明の第4の側面は、被写体の明るさに応じた電気信号を発  
生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅  
部において増幅された電気信号を電流信号として記憶する複数の記憶部  
と、前記の各記憶部から読み出した信号を入力して比較する比較部と、  
20 前記比較部に入力される各信号に対してバイアス信号を付加するバイア  
ス部と、前記比較部における比較結果を画素信号として出力する出力部  
とを具備し、

1つの記憶部に基準信号レベルに相当する電流信号を記憶するととも  
に、他の記憶部に被写体の明るさに相当する電流信号を記憶し、

25 前記バイアス部は、該1つの記憶部から前記比較部に入力される信号  
に対して基準信号レベルが時間的に徐々に上昇するようにバイアス信号

を付加する、

ことを特徴とする撮像装置である。

本発明の第4の側面に係る撮像装置によれば、受光部が被写体の明るさに応じて発生する電気信号は、増幅部により増幅された後、記憶部の  
5 1つに記憶される。そして、比較部は、1つの記憶部から読み出された電流信号を基準信号レベルとして、他の記憶部から読み出される被写体の明るさに相当する電流信号と比較して、画素出力を得ることができる。

上述したように、暗い光を検出して明るさとして表現するためには基準信号レベルを上げる必要がある一方、明るい光を検出して表現するためには基準信号レベルを下げる必要がある。そこで、本発明の第4の側面に係る撮像装置によれば、バイアス部は、該1つの記憶部から前記比較部に入力される信号に対して基準信号レベルが時間的に徐々に上昇するようにバイアス信号を付加することによって、比較部に対して時間的  
10 に徐々に上昇する基準信号レベルを供給するようにした。したがって、明るい光が検出される時間的に早い期間では基準レベルを低く設定しておき、時間の経過とともに基準レベルを徐々に上げていくことにより、暗い光から明るい光に至るまで、ダイナミック・レンジの広い範囲で明るさを表現することができる。

20 また、本発明の第5の側面は、被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部とを備え、前記の各記憶部から読み出した信号の比較結果を画素信号として出力するタイプの撮像装置の駆動制御方法であって、

25 (a) 1つの記憶部に基準信号レベルに相当する電流信号を記憶するステップと、

(b) 他の記憶部に被写体の明るさに相当する電流信号を記憶するステップと、

(c) 該1つの記憶部から読み出される基準信号レベルを時間的に徐々に上昇させるステップと、

5 (d) 前記ステップ(c)により時間的に徐々に上昇された基準信号レベルと該他の記憶部から読み出される電流信号を比較するステップと、

(e) 前記ステップ(d)による比較結果を画素出力として出力するステップと、

を具備することを特徴とする撮像装置の駆動制御方法である。

10 本発明の第5の側面に係る撮像装置の駆動制御方法によれば、受光部が被写体の明るさに応じて発生する電気信号は、増幅部により増幅された後、記憶部の1つに記憶される。そして、1つの記憶部から読み出された電流信号を基準信号レベルとして、他の記憶部から読み出される被写体の明るさに相当する電流信号と比較することによって、画素出力を  
15 得ることができる。

上述したように、暗い光を検出して明るさとして表現するためには基準信号レベルを上げる必要がある一方、明るい光を検出して表現するためには基準信号レベルを下げる必要がある。そこで、本発明の第5の側面に係る撮像装置の駆動制御方法によれば、1つの記憶部から読み出される基準信号レベルを時間的に徐々に上昇させ、かかる基準信号レベルを他の記憶部から読み出される被写体の明るさに相当する電流信号と比較して、画素出力を得るようにした。したがって、明るい光が検出される時間的に早い期間では基準信号レベルを低く設定しておくとともに、時間の経過とともに基準レベルを徐々に上げていくことにより、暗い光  
20 から明るい光に至るまで、ダイナミック・レンジの広い範囲で明るさを  
25 表現することができる。



本発明に係る撮像装置は、被写体の明るさ電気信号を発生する受光部と、受光信号を増幅する増幅部と、増幅電気信号を電流信号として記憶する複数の記憶部と、各記憶部の電流出力を電圧に変換する負荷部と、負荷部の出力信号を演算する演算部と、演算結果を外部出力する出力部  
5 と、各部の駆動を制御する駆動制御部とで構成される。

駆動制御部による駆動制御によって、1つの記憶部に基準信号レベルに相当する電流信号を記憶するとともに、他の記憶部には被写体の明るさに相当する電流信号を時間的に積分しながら記憶する。次いで、各記憶部から読み出された電流信号に基づいて基準信号レベルと被写体の明るさとを演算部において比較する。そして、被写体の明るさが基準信号レベルを越えるまでの経過時間に基づいて、アナログ量である被写体の明るさをデジタル量に変換することができる。

本発明のよれば、被写体の明るさの時間的な変化を演算する回路構成を持つ撮像素子を用いて、被写体の明るさというアナログ量をデジタル量に変換することができる。したがって、専用のアナログーデジタル変換回路を回路上に搭載する必要がなく、同等の機能を持つ他の方式に比べて回路規模の制御を行うことができる。

また、本発明によれば、アナログ量からデジタル量に変換するA/D変換処理において、基準信号レベルと被写体の明るさを積分する時間刻み  
20 を調整することによって、いわゆるダイナミック・レンジの広い撮像を実現することができる。

また、本発明によれば、各画素の検出信号をアナログ量からデジタル量へ変換する際に、被写体の明るさを時間的に積分することによって、いわゆるランダム・ノイズに強い撮像を実現することができる。

25 また、本発明の第3乃至第5の各側面によれば、撮像装置は、画素毎に複数のフレーム・メモリと比較器とバイアス回路を持ち、それらを用

いてアナログ・デジタル変換を行う際にバイアスを可変とすることによって、ダイナミック・レンジを拡大して、暗い領域から明るい領域まで再現することができる。

本発明のさらに他の目的、特徴や利点は、後述する本発明の実施例や  
5 添付する図面に基づくより詳細な説明によって明らかになるであろう。

#### 図面の簡単な説明

第1図は、本発明の第1の実施形態に係る撮像素子の回路構成を模式的に示した図、第2図は、本発明の第1の実施形態に係る撮像素子に組み込まれた画素の内部構成を示した図、第3図は、本発明を実現する単位画素の回路構成を詳細に示した図、第4図は、第3図に示す単位画素において、アナログ量である明るさをデジタル量に変換する原理図、第5図は、(式1)～(式3)から得られる一般式(式4)をグラフ上にプロットした図、第6図は、(式4)をさらに変形して得た(式5)を  
10 グラフ上にプロットした図、第7図は、(式4)と(式5)とを用いて検出時刻TDを消去することによって求められた明るさVDとVD\*との関係式(式6)をグラフ上にプロットした図、第8図は、第3図に示す単位画素において、アナログ量である明るさをデジタル量に変換するための信号を得るための動作タイミングチャートをしめした図、第9図  
20 は、第3図に示す単位画素において、アナログ量である明るさをデジタル量に変換するための信号を得るための動作フローチャートを示した図、第10図は、第1図に示す構成の撮像素子において、アナログ量である明るさをデジタル量に変換した信号を得るための動作タイミングチャートを示した図、第11図は、第3図に示す単位画素において、明るさ  
25 の時間的な変化を演算して、急峻となる時刻を検出するための、各クロック・パルスの動作タイミングチャートを示した図、第12図は、明る

5 さの時間的な変化を演算して、変化が急峻となる時刻を検出するための、各単位画素における動作フローチャートを示した図、第13図は、本発明の第2の実施形態に係る撮像素子1001を運用した撮像システム全体の構成例を模式的に示した図、第14図は、本発明の第2の実施形態に係る撮像素子1001の回路構成を模式的に示した図、第15図は、撮像素子1001を構成する単位画素の構成を模式的に示した図、第16図は、アナログ信号量である受光強度をデジタル信号に変換する原理を説明するための図、第17図は、明るさ変換ダイナミック・レンジの拡張原理を示した図、第18図は、第15図に示した撮像素子の単位画素の各ブロックに関する1つの実装例を示した図、第19図は、単位画素のうち、受光部1100と増幅部1101の内部構成を詳細に示した図、第20図は、単位画素のうち、第1記憶部1102と第2記憶部1103の内部構成を詳細に示した図、第21図は、単位画素のうち、バイアス部1105の内部構成を詳細に示した図、第22図は、単位画素のうち、比較部1104並びに出力部1106の内部構成を詳細に示した図、第23図は、明るさ変換のタイミングチャートを示した図、第24図は、バイアス電圧変換のタイミングチャートを示した図、第25図は、ダイナミック・レンジ拡張タイミングチャートを示した図である。

20

発明を実施するための最良の形態

以下、図面を参照しながら本発明の実施例を詳解する。

### 第1の実施形態

25 第1図には、本発明の第1の実施形態に係る撮像素子の回路構成を模式的に示している。同図に示すように、撮像素子は、 $M \times N$ 個の画素1が2次元マトリックス状に配列され、各行毎に水平画素駆動信号群が敷

設されるとともに、各列毎に垂直信号線が敷設されて構成される。

駆動クロック・ジェネレータ 2 は、単位画素を駆動するためのクロック・パルスが発生させる回路である。

また、垂直駆動回路 3 は、駆動クロック・ジェネレータ 2 において発生されたクロック・パルスを、水平方向に並んだ M 個の単位画素からなる画素行の各々に対して、動作タイミングをずらしながら水平画素駆動信号群経由で供給する。

また、各画素列毎に配設された出力回路 4 は、垂直信号線 230 を介して供給される各画素からの出力信号をレベル変換して、撮像素子の外部に出力するようになっている。

水平駆動信号線群、すなわち各画素に供給される駆動クロック・パルスには、リセット・パルス  $\phi RST$  (301)、転送パルス  $\phi PTX$  (302)、受光信号読出しパルス  $\phi RD$  (303)、メモリ  $TR-1$  転送パルス  $\phi MTX-1$  (304)、メモリ  $TR-1$  短絡パルス  $\phi MEM-1$  (305)、メモリ  $TR-2$  転送パルス  $\phi MTX-2$  (306)、メモリ  $TR-2$  短絡パルス  $\phi MEM-2$  (307)、インバータ A 短絡パルス  $\phi CMPA$  (308)、インバータ B 短絡パルス  $\phi CMPB$  (309)、画素読出しパルス  $\phi POUT$  (310)、並びに、リセット電圧  $VRST$  (311) が含まれる。これら駆動クロック・パルスを所定のタイミングで動作させることによって、撮像素子に対して画素出力信号の AD 変換処理やその他の演算処理を適用することができる。但し、駆動クロック・パルスの動作タイミングや演算処理の手順については、後に詳解する。

例えば CMOS 技術を適用して、第 1 図に示すような撮像素子内のすべての回路モジュールを、同一チップ上に実装することが可能である。

第 2 図には、撮像素子内に配列される画素 1 の内部構成を図解してい

る。同図に示すように、画素 1 は、受光部 1 0 と、第 1 増幅部 2 0 と、第 2 増幅部 3 0 と、第 1 記憶部 4 0 - 1 から第 k 記憶部 4 0 - k までの k 個の記憶部と、負荷及び演算部 5 0 と、バイアス部 5 5 と、出力部 6 0 とで構成される。

- 5 受光部 1 0 は、入射光を電気信号に変換する光電変換部であり、一般にはフォト・ダイオード (P D) で構成される。受光部 1 0 の動作は、受光部駆動信号 1 1 により制御される。

- 第 1 増幅部 2 0 は、受光部 1 0 から転送されてくる電流信号を後続の第 2 増幅部 3 0 で処理するのに適したレベルに変換するとともに、第 1 増幅部駆動信号 2 1 によって規定される適切なタイミングで電流信号を出力する。

- 第 2 増幅部 3 0 は、第 1 増幅部 2 0 から転送されてくる電流信号を後続の各記憶部 4 0 において記憶するのに適したレベルにまで増幅するとともに、第 2 増幅部駆動信号 3 1 によって規定される適切なタイミングで電流信号を出力する。

- 第 1 記憶部 4 0 - 1 ~ 第 k 記憶部 4 0 - k からなる k 個の記憶部は、すべて第 2 増幅部 3 0 の出力に接続されており、この増幅信号の電流を記憶部駆動信号 4 1 によって規定される適切なタイミングで記憶保持することができる。1 つの画素内に配設される記憶部の個数 k は、後続の演算処理において必要な数によって決定すればよい。

- 負荷部及び演算部 5 0 は、第 1 記憶部 4 0 - 1 ~ 第 k 記憶部 4 0 - k のすべての出力に接続されており、すべての又は一部の記憶部 4 0 からの出力電流を電圧に変換するとともに、演算部駆動信号 5 1 により規定される適切なタイミングで演算処理を行う。ここで言う演算の内容は、撮像素子の機能によって異なるが、信号の和、信号の差、信号の比較などが一般的である。

バイアス部 5 5 は、演算部 5 0 における演算時に必要なノイズ除去のためのバイアス電流を、バイアス部駆動信号 5 6 に応じて発生する。

出力部 6 0 は、負荷部及び演算部 5 0 による演算結果を撮像素子内の信号線に出力するのに適したレベルに変換して、出力部駆動信号 6 1 に  
5 より適切なタイミングで画素出力 7 0 として出力する。

各部への駆動信号 1 1 ～ 6 1 は、水平画素駆動信号群（前述）を經由して撮像素子内を各画素 1 毎に敷設されている。垂直駆動回路 3 は、これら駆動信号 1 1 ～ 6 1 を発生して、水平方向に並ぶ M 個の画素行単位で駆動する。

10 各画素からの画素出力 7 0 は、垂直信号線 2 3 0 によって各画素列毎に互いに接続されている。各垂直信号線は、出力回路 4 によって適切なレベルに変換された後、撮像信号として撮像素子の外部に取り出される。

第 3 図には、本発明を実現する単位画素の回路構造を詳細に示している。  
15 る。但し、同図に示す単位画素は 2 つの記憶部を持つものとする。以下、第 3 図に示す単位画素内における構成及び動作特性について説明する。

フォト・ダイオード (2 1 1) は、入射光強度に応じて光電変換を行い、電子を蓄積する。

20 転送 T R (2 1 2) は、n チャネルの M O S (Metal-Oxide Semiconductor: 金属酸化膜半導体) トランジスタ (n-M O S) で構成され、ソース側にフォト・ダイオード (2 1 1) が接続されるとともに、ドレイン側にアンプ T R (2 1 4) のゲートが接続されている。転送 T R (2 1 2) のゲートに入力される転送パルス  $\phi$  P T X (3 0 2) がハイ・  
25 レベルになっている間、トランジスタ (2 1 2) がオンされ、フォト・ダイオード (2 1 1) に蓄積された電子は転送されてアンプ T R (2 1

4)のゲート電位として利用される。このときのアンプTR (2 1 4)のゲート電位をVFD (2 4 0)とする。

リセットTR (2 1 3)はn-MOSトランジスタで構成され、ソース側が転送TR (2 1 2)のドレイン並びにアンプTR (2 1 4)のゲートに接続されるとともに、ドレイン側にはリセット電圧VRST (3 1 1)が印加されている。そして、リセットTR (2 1 3)のゲートに入力されているリセット・パルスφRST (3 0 1)がハイ・レベルになっている間、アンプTR (2 1 4)のゲート電位VFD (2 4 0)がリセット電圧VRST (3 1 1)によって定まる値に落ち着く。

10 アンプTR (2 1 4)はn-MOSトランジスタで構成され、ゲートは転送TR (2 1 2)のドレイン並びにリセットTR (2 1 3)のソースに接続され(前述)、ソース側は受光信号読出しスイッチ(2 1 6)に接続されているとともに、ドレイン側には電源電圧(VDD)が印加されている。アンプTR (2 1 4)は、受光信号読出しスイッチ(2 1 6)がオンになっている間、そのゲート電位VFD (2 4 0)に応じた電流をドレインからソースに流すことができる。

カレント・ミラー回路(2 1 5)は2つのn-MOSトランジスタで構成されており、各トランジスタのソース側が接地されているとともに、ドレイン側が受光信号読出しスイッチ(2 1 6)に接続されている。

20 カレント・ミラー回路(2 1 5)は、受光信号読出しスイッチ(2 1 6)がオンになっている間、アンプTR (2 1 4)から流れ込む電流の値を、カレント・ミラーを構成する2個のトランジスタのサイズ比(具体的には、トランジスタのゲート長が同じであればゲート幅の比に応じた割合)で増幅する働きを持っている。

25 受光信号読出しスイッチ(2 1 6)を構成する2つのトランジスタはいずれもn-MOSトランジスタで構成されている。この各トランジス

タのソース側はカレント・ミラー回路（215）に接続されている。また、一方のトランジスタのドレイン側はアンプTR（214）のソースに接続されているとともに、他方のトランジスタのドレイン側はメモリTR-1転送スイッチ（217）並びにメモリTR-2転送スイッチ（220）のソース及び負荷TR（231）並びにキャパシタA（225）に接続されている。

受光信号読出しスイッチ（216）を構成する各トランジスタのゲートに入力される受光信号読出しパルス $\phi RD$ （303）がハイ・レベルになっている間、アンプTR（214）を通過する電流がカレント・ミラー回路（215）に流れ込み、カレント・ミラー回路（215）は各トランジスタのサイズ比に応じて電流を増幅する。増幅された電流は、メモリTR-1転送スイッチ（217）を介してメモリTR-1（219）に流れるか、又は、メモリTR-2転送スイッチ（220）を介してメモリTR-2（222）に流れるようになっている。

メモリTR-1転送スイッチ（217）はn-MOSトランジスタで構成され、ソース側はメモリTR-2転送スイッチ（220）のソース並びに負荷TR（231）とキャパシタA（225）、そして受光信号読出しスイッチ（216）のドレインに接続されている。また、そのドレイン側は、メモリTR-1（219）のドレイン並びにメモリTR-1短絡スイッチ（218）のソースに接続されている。そして、ゲートに入力されるメモリTR-1転送パルスすなわち $\phi MTX-1$ （304）がハイ・レベルになっている間、メモリTR-1（217）に電流を流す働きをする。

メモリTR-1転送パルス $\phi MTX-1$ （304）をハイ・レベルにする期間が受光信号読出しパルス $\phi RD$ （303）がハイ・レベルとなる期間に一致しているときには、メモリTR-1（217）を流れる電



流はカレント・ミラー回路（215）によって増幅された電流であり、メモリTR-1（217）はこの電流を記憶することができる。他方、 $\phi$ MTX-1（304）をハイ・レベルにする期間が、後述する負荷TRパルス $\phi$ VL（312）のハイ・レベルにする期間に一致しているときは、メモリTR-1（217）に記憶された電流が負荷TR（231）に流れ込む、すなわち記憶内容が読み出されることになる。

メモリTR-1短絡スイッチ（218）はn-MOSトランジスタで構成され、ソース側がメモリTR-1転送スイッチ（217）のドレインに接続されるとともに、ドレイン側はメモリTR-1（219）のゲートに接続されている。そして、ゲートに入力されるメモリTR-1短絡パルス $\phi$ MEM-1（305）がハイ・レベルになっている間、メモリTR-1（219）のゲートとソースを短絡する働きをする。

メモリTR-1（219）はpチャネルのMOSトランジスタ（p-MOS）で構成され、そのソース側は電源電圧（VDD）に接続されるとともに、ドレイン側はメモリTR-1転送スイッチ（217）のドレイン及びメモリTR-1短絡スイッチ（218）のソースに接続されている。そして、ゲートがメモリTR-1短絡スイッチ（218）のドレインに接続されているので、メモリTR-1短絡パルス $\phi$ MEM-1（305）がハイ・レベルになっている間はゲートとドレインが短絡された状態となるので、飽和領域で動作し、ゲート電位＝ドレイン電位に応じた電流が流れることになる。

さらに、メモリTR-1（219）は、メモリTR-1短絡パルス $\phi$ MEM-1（305）がロー・レベルになっている間では、比較的小さなゲート容量およびその他の寄生容量によってゲート電位が保たれている限り、先に流れた電流を記憶しておくとともに、再びその電流を流すことが可能である（カレント・コピア動作）。この意味において、メモ

リTR-1 (219) は、第2図に示す第1記憶部40-1として動作  
することができる。しかも、この記憶動作は、ゲート容量が小さいこと  
もあり、高速に行うことができるというメリットがある。

5      なお、メモリTR-2転送スイッチ(220)並びにメモリTR-2  
短絡スイッチ(221)、及びメモリTR-2(222)の種類、接続  
状況並びに動作特性については、メモリTR-2転送パルスφMTX-  
2(306)とメモリTR-2短絡パルスφMEM-2(307)のタ  
イミングも含めて、メモリTR-1転送スイッチ(217)並びにメモ  
リTR-1短絡スイッチ(218)及びメモリTR-1(219)の種  
10      類、接続状況並びに動作特性、そしてメモリTR-1転送パルスφMT  
X-1(304)とメモリTR-1短絡パルスφMEM-1(305)  
のタイミングと同様であるので、本明細書中では説明を省略する。

15      負荷TR(231)はn-MOSトランジスタで構成され、ソース側  
は接地されるとともに、ドレイン側は受光信号読出しスイッチ(216  
)のドレインならびにメモリTR-1転送スイッチ(217)とメモリ  
TR-2転送スイッチ(220)のソース、並びにキャパシタA(225  
)に接続されている。そして、ゲートに入力される負荷TRパルスφV  
L(312)がハイ・レベルになっている間、流れる電流に応じた電圧  
が負荷TR(231)のドレイン側に発生するようになっている。

20      インバータA(224)は、一般的なn-MOSトランジスタとp-  
MOSトランジスタによる構成で(図示しない)、入力側にはキャパシ  
タA(225)が、出力側にはキャパシタB(228)がそれぞれ接続  
されている。また、インバータA(224)の入力側と出力側にはイン  
バータA短絡スイッチ(223)のソースとドレインがそれぞれ接続さ  
25      れている。

インバータA短絡スイッチ(223)はn-MOSトランジスタで構

成され、ソースおよびドレインはインバータ A (224) の入力側と出力側にそれぞれ接続されている (但し、接続の対応関係はその逆でもよい)。そして、ゲートに入力されているインバータ A 短絡パルス  $\phi_{CMPA}$  (308) がハイ・レベルになっている間は、インバータ A (225) の入力側と出力側を短絡するようになっている。

インバータ A 短絡スイッチ (223) がオンになっている間は、インバータ A (225) の入力側と出力側が短絡されるので、その出力電圧は電源電圧のほぼ半分に相当する電圧に落ち着く。この電圧をインバータ A (225) の動作電圧  $V_{inv-A}$  とする。

10 他方、インバータ A 短絡スイッチ (223) がオフになっている間は、インバータ A (225) の入力側のキャパシタ A (225) に発生する電位に応じて出力側の電位が決定される。

インバータ B (227) も一般的な n-MOS トランジスタと p-MOS トランジスタによる構成であり、入力側にキャパシタ B (228) 15 が接続されるとともに、出力側には画素読出しスイッチ (229) のドレインが接続されている。また、インバータ B (227) の入力側と出力側には、インバータ B 短絡スイッチ (226) のソースとドレインがそれぞれ接続されている。

インバータ B 短絡スイッチ (226) は n-MOS トランジスタで構成され、ソースおよびドレインはインバータ B (227) の入力側と出力側にそれぞれ接続されている (但し、接続の対応関係はその逆でもよい)。そして、ゲートに入力されているインバータ B 短絡パルス  $\phi_{CMPB}$  (309) がハイ・レベルになっている間は、インバータ B (227) の入力側と出力側を短絡するようになっている。

25 インバータ B 短絡スイッチ (226) がオンになっている間は、インバータ B (227) の入力側と出力側が短絡されるので、その出力電圧

は電源電圧のほぼ半分に相当する電位に落ち着く。この電圧をインバータB（227）の動作電圧 $V_{inv-B}$ とする。

他方、インバータB短絡スイッチ（226）がオフになっている間は、インバータB（227）の入力側にあるキャパシタB（228）に発生する電位に応じた電圧が出力側に現れる。

画素読出しスイッチ（229）はn-MOSトランジスタで構成され、ソース側が垂直信号線（230）に接続されるとともに、ドレイン側はインバータB（227）の出力並びにインバータB短絡スイッチ（226）のドレイン（若しくはソース）に接続されている。そして、ゲートに入力されている画素読出しパルス $\phi_{POUT}$ （310）がハイ・レベルになっている間、インバータB（227）の出力電圧に応じた電圧レベルが垂直信号線（230）に発生することになる。

第4図には、第3図に示す単位画素において、アナログ量である明るさをデジタル量に変換する原理図を示している。

VFDは、第3図のアンプTR（214）のゲート電位であり（前述）、通常の動作では、電源電圧に等しいリセット電圧によって決まるリセット・レベルにリセットされている。

フォト・ダイオード（211）に光が照射されると、光電変換された電子が蓄積される。この蓄積電子は、転送TR（212）をオンすることによって、アンプTR（214）のゲート側に転送される。この結果、ゲート電位VFD（240）はリセット・レベルから低下する。

この電圧が低下する度合いは、転送される電子の量、あるいはフォト・ダイオード（211）にたまった電子数に比例し、これが入射光強度に相当する。したがって、明るい光が入射されるほどゲート電位VFD（240）の低下は急峻となり、逆に入射光が暗いほどVFD（240）は緩やかに低下することになる。



さて、ここで、上記の（式1）～（式3）から得られる以下の一般式について考察してみる。

$$VD = TS \cdot \Delta VR / TD \quad (\text{式4})$$

（式4）をグラフ上にプロットすると、第5図のようになり、検出時刻TDに対して求められる明るさVDは反比例することが分かる。さらに、（式4）を以下のように変形することで、明るさVD\*と検出時刻TDとの間には線形的な関係が成立する。（式5）をグラフ上にプロットすると、第6図のようになる。

$$VD* = TS \cdot \Delta VR - TD \quad (\text{式5})$$

ここで、（式4）と（式5）とを用いて検出時刻TDを消去することによって、明るさVDとVD\*との間に成立する以下の関係式が求まる。

$$VD* = TS \cdot \Delta VR (1 - 1/VD) \quad (\text{式6})$$

VDとVD\*との関係式（式6）をグラフ上にプロットすると、第7図のようになる。同図から分かるように、明るさVD\*は、フォト・ダイオードPD（211）の出力をそのまま表現した明るさVDに対して暗い領域を強調しているので、コントラストのよいはっきりした画像を与えることになる。

このような暗い領域を強調した（すなわちコントラストの大きな）画像を得るには、一般に、明るさVDに対して対数変換を施した画像を用いることが多い。すなわち、（式4）という非線型変換に加え、さらに対数変換という非線型変換を施す必要があり、処理系の負担が少なくなないことは明らかである。

これに対し、本実施例では、最初から（式5）のように線形変換だけで明るさを表現しておけば、簡単にコントラストの大きな、はっきりした画像を得ることができる。

このようにして、明るさというアナログ量を、時間刻みでサンプリングされた時刻情報  $T D$  によって量子化されたデジタル量に変換することが可能となる訳である。但し、明るさ信号を  $A D$  変換する処理の詳細な手順については後述に譲る。

- 5      なお、デジタル量のビット数は、時刻情報のサンプリング  $\Delta T$  の細かさに依存する。

第 8 図には、第 3 図に示す単位画素において、アナログ量である明るさをデジタル量に変換するための信号を得るための動作タイミングチャートを示している。また、第 9 図には、第 3 図に示す単位画素において、アナログ量である明るさをデジタル量に変換するための信号を得るための動作フローチャートを示している。以下、第 8 図及び第 9 図を参照しながら、第 3 図の単位画素においてフォト・ダイオード (2 1 1) の出力を  $A D$  変換するための動作について詳細に説明する。

- 15      まず、時刻カウンタとして使用される変数  $n$  を 1 に設定する (ステップ  $S 1$ )。そして、リセット電圧  $V R S T$  (3 1 1) を、明るさの基準となる信号レベル (基準電圧) に設定する (ステップ  $S 2$ )。

次いで、転送  $T R$  (2 1 2) のゲートに転送パルス  $\phi P T X$  (3 0 2) を印加することにより (ステップ  $S 3$ )、それ以前の期間でフォト・ダイオード (2 1 1) に蓄積されている残存電子をアンプ  $T R$  (2 1 4) のゲート側に転送して (ステップ  $S 4$ )、再び転送パルス  $\phi P T X$  (3 0 2) をロー・レベルに戻しておく (ステップ  $S 5$ )。但し、このときにアンプ  $T R$  (2 1 4) のゲートに現れる信号は利用しない。

次いで、リセット  $T R$  (2 1 3) のゲートにリセット・パルス  $\phi R S T$  (3 0 1) を印加することによって (ステップ  $S 6$ )、アンプ  $T R$  (2 1 4) のゲート電位  $V F D$  (2 4 0) を基準電圧に対応した基準レベルに設定して (ステップ  $S 7$ )、再びリセット・パルス  $\phi R S T$  (3 0

1) をロー・レベルに戻しておく（ステップS 8）。

次いで、上記のように設定した基準レベルに対応する電流をメモリTR-1（219）に記憶させるために、受光信号読出しパルスφRD（303）、メモリTR-1転送パルスφMTX-1（304）、及び、  
5 メモリTR-1短絡パルスφMEM-2（305）を同時に印加する（ステップS 9）。

このとき、アンプTR（214）のゲート電位VFD（240）は先に設定された基準レベルになっているので、そのレベルに応じた電流がアンプTR（214）に流れる。また、受光信号読出しスイッチ（21  
10 6）がオンになっているので、カレント・ミラー回路（215）によって増幅された電流（以下、「I-1」とする）が、メモリTR-1転送スイッチ（217）を介してメモリTR-1（219）を流れることになる。但し、メモリTR-1短絡スイッチ（218）がオンになっているので、メモリTR-1（219）は飽和領域で動作している。

15 そして、メモリTR-1短絡パルスφMEM-1（305）をロー・レベルに戻すと（ステップS 10）、メモリTR-1短絡スイッチ（218）がオフとなり、メモリTR-1（219）は今まで流れていた電流I-1を記憶することになる（ステップS 11）。

このとき、受光信号読出しスイッチ（216）とメモリTR-1転送  
20 スwitch（217）は、メモリTR-1短絡スイッチ（218）がオフとなるよりも若干長くオンの状態を保つ必要があるので、受光信号読出しパルスφRD（303）及びメモリTR-1転送パルスφMTX-1（304）をロー・レベルに戻すタイミングはずらしてある（ステップS 12）。

25 以上説明したように、ステップS 1～S 12によって、明るさの基準レベルに相当する電流I-1をメモリTR-1（219）に記憶するこ



とができる訳である。

ステップS 1 3以降の処理では、一定周期毎に被写体の明るさを逐次読み出しながら、上記の基準レベルと比較して、被写体の明るさと基準レベルとの大小関係が逆転するタイミング（第4図において、明るさを表す直線が基準レベルと交差する点）を検出するようになっている。

まず、リセット電圧V R S T（3 1 1）を電源電圧に設定する（ステップS 1 3）。

次いで、リセットT R（2 1 3）のゲートにリセット・パルス $\phi$  R S T（3 0 1）を印加することによって（ステップS 1 4）、アンプT R（2 1 4）のゲート電位V F D（2 4 0）をリセット電圧V R S Tに対応したリセット・レベルに設定して（ステップS 1 5）、再びリセット・パルス $\phi$  R S T（3 0 1）をロー・レベルに戻しておく（ステップS 1 6）。

ここで、転送T R（2 1 2）のゲートに転送パルス $\phi$  P T X（3 0 2）を印加する（ステップS 1 7）。これによって、フォト・ダイオード（2 1 1）に蓄積されていた残存電子を転送した後なので（ステップS 3～S 5）、新たに光電変換によって発生した電子（第8図のタイミングチャートの受光期間（1）において発生した電子）が、アンプT R（2 1 4）のゲート側に転送される（ステップS 1 8）。そして、再び転送パルス $\phi$  P T X（3 0 2）をロー・レベルに戻しておく（ステップS 1 9）。

ステップS 2 0～S 2 3によって、アンプT R（2 1 4）のゲート側に転送された電子の数によって決まる電流をメモリT R－2（2 2 2）に記憶させることができる。

まず、受光信号読出しパルス $\phi$  R D（3 0 3）、メモリT R－2転送パルス $\phi$  M T X－2（3 0 6）、及び、メモリT R－2短絡パルス $\phi$  M

EM-2 (307) を同時に印加することによって (ステップ S 20) 、カレント・ミラー回路 (215) によって増幅された電流がメモリ TR-2 (222) に流れ込む。すなわち、メモリ TR-2 (222) には受光期間 (1) において発生した電子数に応じた信号電流 (以下、「  
5 I-2」とする) が流れる。但し、メモリ TR-2 短絡スイッチ (221) がオンになっているので、メモリ TR-2 (222) は飽和領域で動作している。

そして、メモリ TR-2 短絡パルス  $\phi$  MEM-2 (307) をロー・レベルに戻すと (ステップ S 21) 、メモリ TR-2 短絡スイッチ (2  
10 21) がオフとなり、メモリ TR-2 (222) は今まで流れていた電流 I-2 を記憶することになる (ステップ S 22) 。

このとき、受光信号読出しスイッチ (216) とメモリ TR-2 転送スイッチ (220) は、やはりメモリ TR-2 短絡スイッチ (221) がオフとなるよりも若干長くオンの状態を保つ必要があるので、受光信  
15 号読出しパルス  $\phi$  RD (303) 及びメモリ TR-2 転送パルス  $\phi$  MTX-2 (306) をロー・レベルに戻すタイミングはずらしてある (ステップ S 23) 。

ステップ S 20 ~ S 23 によって、メモリ TR-2 (222) には、被写体の明るさに応じた電流が時間的に積分されながら記憶されていく  
20 。

さらに後続のステップ S 24 以降では、メモリ TR-1 (219) 及びメモリ TR-2 (222) にそれぞれ記憶されている電流 I-1 と I-2 を比較する。

まず、メモリ TR-2 転送スイッチ (220) と負荷 TR (231) の各ゲートに対してメモリ TR-2 転送パルス  $\phi$  MTX-2 (306) 及び負荷 TR パルス  $\phi$  VL (312) を印加することによって、各トラ  
25

ンジスタをオンにする。この結果、メモリ  $TR-2$  (222) に記憶されている電流  $I-2$  が負荷  $TR$  (231) に流れ込んで、その電流値に応じた負荷電圧（以下、「 $V_2$ 」とする）がドレイン側に発生する（ステップ  $S24$ ）。

- 5 このとき同時に、インバータ  $A$  短絡スイッチ (223) とインバータ  $B$  短絡スイッチ (226) の各ゲートにインバータ  $A$  短絡パルス  $\phi_{CMA}$  (308) 及びインバータ  $B$  短絡パルス  $\phi_{CMB}$  (309) を印加して、各トランジスタをオンにする。この結果、インバータ  $A$  (224) 及びインバータ  $B$  (227) のそれぞれの入出力を短絡させること  
10 ができる（ステップ  $S25$ ）。これによって、インバータ  $A$  (224) 及びインバータ  $B$  (227) の出力電圧はそれぞれのインバータの動作点電圧  $V_{inv-A}$  及び  $V_{inv-B}$  となる。

- 次いで、インバータ  $A$  短絡パルス  $\phi_{CMA}$  (308) を最初にロー・レベルにしてインバータ  $A$  短絡スイッチ (223) をオフにする（ス  
15 テップ  $S26$ ）。この結果、インバータ  $A$  (224) の出力電圧は、短絡時から若干変動するものの、ほぼ動作点電圧に近い値を示し（以下、「 $V_{inv-A2}$ 」とする）、出力が確定する。その出力確定値は、負荷  $TR$  (231) に電流  $I-2$  が流れたときに発生する電圧 ( $V_2$ ) がキャパシタ  $A$  (225) に加わったときの出力に対応していることになる（ステ  
20 ップ  $S27$ ）。

この時点では、キャパシタ  $A$  (225) の両端には、負荷  $TR$  (231) に電流  $I-2$  が流れたときに発生する電圧 ( $V_2$ ) とインバータ  $A$  (224) の動作点電圧に近い値が印加されている（以下、「 $V_{inv-A1}$ 」とする）。

- 25 一方、インバータ  $B$  (227) は、この時点ではまだ短絡状態なので、ステップ  $S26$  におけるインバータ  $A$  (224) の出力電圧の小さな変

動はインバータ B (227) の出力には現れていない。

次いで、インバータ B 短絡パルス  $\phi$  CMP B (309) をロー・レベルにすることによって、インバータ B 短絡スイッチ (226) をオフにする (ステップ S 28)。この結果、インバータ B (227) の出力電  
5 圧もやはり若干変動するものの、ほぼ動作点電圧に近い値を保ち (以下、「 $V_{inv-B2}$ 」とする)、出力が確定する。この出力確定値が、負荷 TR (231) に電流  $I-2$  が流れたときに発生する電圧 ( $V2$ ) がキャパシタ A (225)、インバータ A (224)、並びに、キャパシタ B (228) を介してインバータ B (227) に加わったときの出力に対応  
10 していることになる (ステップ S 29)。

そして、この時点では、キャパシタ B (228) の両端には、インバータ A (224) の出力電圧  $V_{inv-A2}$  とインバータ B (228) の動作点電圧に近い値 (以下、「 $V_{inv-B1}$ 」とする) が印加されている。

この状態で、メモリ TR-2 転送パルス  $\phi$  MTX-2 (306) 及び  
15 負荷 TR パルス  $\phi$  VL (312) をロー・レベルに戻して、メモリ TR-2 転送スイッチ (220) 及び負荷 TR (231) をオフにすることによって、メモリ TR-2 (222) に記憶された電流  $I-2$  の読み出しが完了する (ステップ S 30)。

次いで、再び負荷 TR パルス  $\phi$  VL (312) をハイ・レベルにする  
20 とともに、同時にメモリ TR-1 転送パルス  $\phi$  MTX-1 (304) もハイ・レベルにすることによって、負荷 TR (231) 及びメモリ TR-1 転送スイッチ (217) をオンにする (ステップ S 31)。この結果、メモリ TR-1 (219) に記憶されていた電流  $I-1$  が負荷 TR (231) に流れ込んで、ドレイン側にはその電流値に対応した電圧 (以下、「 $V1$ 」とする) が発生する。  
25

そして、この電圧  $V1$  が、先に電流  $I-2$  が流れたときに負荷 TR (

2 3 1) に発生した電圧  $V_2$  よりも低ければ、キャパシタ A (2 2 5) のインバータ A (2 2 4) 側電位は、先の  $V_{inv-A1}$  より  $V_2 - V_1$  だけ下降することになる (但し、インバータ A (2 2 4) の入力容量が無視できるほど小さい状況であるとする)。

- 5     したがって、インバータ A (2 2 4) の出力は  $V_{inv-A2}$  より上昇し、その結果、キャパシタ B (2 2 8) のインバータ B (2 2 7) 側電位が上昇して、インバータ B (2 2 7) の出力電圧は下降することになる。

逆に、電圧  $V_1$  が電圧  $V_2$  より高ければ、キャパシタ A (2 2 5) のインバータ A (2 2 4) 側電位は  $V_{inv-A1}$  より  $V_1 - V_2$  だけ上昇し (但し、インバータ A (2 2 4) の入力容量が無視できるほど小さい状況であるとする)、インバータ A (2 2 4) の出力は  $V_{inv-A2}$  より下降する。この結果、キャパシタ B (2 2 8) のインバータ B (2 2 7) 側電位も下降して、インバータ B (2 2 7) の出力電圧が上昇することになる。

- すなわち、メモリ TR-1 (2 1 9) に記憶されていた電流  $I-1$  が  
15     、メモリ TR-2 (2 2 2) に記憶されていた電流  $I-2$  よりも大きければ、負荷 TR (2 3 1) に発生する電圧も  $V_2$  より  $V_1$  の方が高くなるので、インバータ B (2 2 8) の出力は高くなる。逆に、電流  $I-1$  の方が  $I-2$  よりも小さいと、インバータ B (2 2 8) の出力は低くなる。略言すれば、このような動作特性によって、記憶されている2つの  
20     電流の大小比較が可能となる訳である (ステップ S 3 2)。

- この状態で、画素読出しパルス  $\phi_{POUT}$  (3 1 0) をハイ・レベルに転じて、画素読出しスイッチ (2 2 9) をオンにすることによって、垂直信号線 (2 3 0) には電流  $I-1$  と  $I-2$  の比較結果に応じてインバータ B (2 2 8) の出力レベルが現れることになる (ステップ S 3 3)  
25     )。そして、画素読出しパルス  $\phi_{POUT}$  (3 1 0) をロー・レベルに戻して (ステップ S 3 4)、続いてメモリ TR-1 転送パルス  $\phi_{MTX}$

— 1 (3 0 4) 及び負荷 T R パルス  $\phi$  V L (3 1 2) をロー・レベルと戻すことによって、一連の画素読み出し動作を完了させる (ステップ S 3 5)。

このとき、垂直信号線 (2 3 0) のレベル、すなわち、今回読み出された画素の出力レベルがロー又はハイのいずれのレベルかを判別する (ステップ S 3 6)。垂直信号線 (2 3 0) のレベル判定は、撮像素子と同一チップ又は別のチップ上に実装された演算器 (図示しない) によって行われる。

垂直信号線 (2 3 0) がハイ・レベルならば、電流 I - 1 は I - 2 より大きい、あるいは、基準レベルよりも入射光による信号レベルが低いことが分かる。すなわち、入射光が明るくなって基準レベルを横切ったと判断できるので、サンプリング周期  $\Delta T$  に時刻カウンタ値  $n$  で乗算した値  $\Delta T \times n$  を時刻情報として出力して (ステップ S 3 7)、第 9 図に示す本処理ルーチン全体を終了する。

他方、垂直信号線 (2 3 0) のレベル、すなわち、今回読み出された画素の出力レベルがロー・レベルならば、時刻カウンタ  $n$  を 1 だけインクリメントして (ステップ S 3 8)、ステップ S 1 7 に戻ってフォト・ダイオード (2 1 1) の電荷を転送するステップ以降を、垂直信号線 (2 3 0) がハイ・レベルに転じるまで繰り返し行う。

なお、時刻カウンタ  $n$  を計数するための回路モジュールは、撮像素子と同一チップ上又は別のチップ上に実装することができる。

第 9 図に示す処理ルーチンによって出力される時刻情報  $\Delta T \times n$  は、V F D (2 4 0) が基準レベルに達する瞬間の時刻であり、フォト・ダイオード (2 1 1) における入射光の明るさをデジタル量に変換した結果に相当する (前述)。言い換えれば、第 9 図に示す処理ルーチンによって、撮像素子の各画素におけるフォト・ダイオード出力を、撮像素子

内においてアナログ値からデジタル値に変換することができる訳である。

このように撮像素子内においてA/D変換を実現するためには、駆動クロック・ジェネレータ2が各駆動クロック・パルスを図8に示すようなタイミングで出力するだけでよい、という点を充分理解されたい。

なお、図8の動作タイミングチャートに示すように、基準レベル記憶期間において、リセット・パルスφRST(301)の前に転送パルスφPTX(302)を出すことによって、フォト・ダイオード(211)に既に貯まった電子を排出するようにしている。この結果、次に転送パルスφPTX(302)が印加されるまでの期間すなわち受光期間(1)を、それ以降の受光期間(2)、(3)…に等しくすることができ、各時間刻み毎の受光時間を一定にすることが可能となる。

本実施例に係る撮像素子によれば、アナログ量からデジタル量に変換するA/D変換処理において、基準信号レベルと被写体の明るさを積分する時間刻みを調整することによって、いわゆるダイナミック・レンジの広い撮像を実現することができる。

また、本実施例に係る撮像素子によれば、各画素の検出信号をアナログ量からデジタル量へ変換する際に、被写体の明るさを時間的に積分することによって、いわゆるランダム・ノイズに強い撮像を実現することができる。

図10には、図1に示す構成の撮像素子において、アナログ量である明るさをデジタル量に変換した信号を得るための動作タイミングチャートを示している。

より具体的には、図10は、図8の単位画素動作タイミングチャートにおける基準レベル記憶期間と比較期間(1)の2つの期間における、1行目の画素並びに2行目の画素に与える駆動クロックのタイミン

グを示している。

リセット電圧  $V_{RST}$  (3 1 1) が基準電圧に設定されている期間において、まず、1行目に並んだM個のすべての画素に対して、リセット・パルス  $\phi_{RST}$  (3 0 1)、転送パルス  $\phi_{PTX}$  (3 0 2)、受光信号読出しパルス  $\phi_{RD}$  (3 0 3)、メモリ  $TR-1$  転送パルス  $\phi_{MTX-1}$  (3 0 4)、及び、メモリ  $TR-1$  短絡パルス  $\phi_{MEM-1}$  (3 0 5) を、図示されているタイミングで一斉に印加する。

次いで、ある一定時間経過後に、今度は2行目に並んだM個のすべての画素に対して、リセット・パルス  $\phi_{RST}$  (3 0 1)、転送パルス  $\phi_{PTX}$  (3 0 2)、受光信号読出しパルス  $\phi_{RD}$  (3 0 3)、メモリ  $TR-1$  転送パルス  $\phi_{MTX-1}$  (3 0 4)、メモリ  $TR-1$  短絡パルス  $\phi_{MEM-1}$  (3 0 5) を一斉に印加する。

そして、3行目以降からN行目までの画素に対して、同様に、位相のずれた駆動クロックを逐次印加していく（図示しない）。このようにして、すべての単位画素において、メモリ  $TR-1$  (2 1 9) に基準レベルに対応する電流を記憶することができる。

N行目まで記憶動作終了したら、次にリセット電圧  $V_{RST}$  (3 1 1) を電源電圧に設定して、1行目に並んだM個のすべての画素に対して、リセット・パルス  $\phi_{RST}$  (3 0 1)、転送パルス  $\phi_{PTX}$  (3 0 2)、受光信号読出しパルス  $\phi_{RD}$  (3 0 3)、メモリ  $TR-2$  転送パルス  $\phi_{MTX-2}$  (3 0 6)、メモリ  $TR-2$  短絡パルス  $\phi_{MEM-2}$  (3 0 7) を図示されているタイミングで一斉に印加することによって、受光期間(1)で光電変換された電子数で決まる電流をメモリ  $TR-2$  (2 2 2) に記憶することができる。

その直後に、メモリ  $TR-2$  転送パルス  $\phi_{MTX-2}$  (3 0 6)、負荷  $TR$  パルス  $\phi_{VL}$  (3 1 2)、インバータA短絡パルス  $\phi_{CMPA}$  (



308)、インバータB短絡パルスφCMPB(309)を印加して、メモリTR-2(222)に記憶されていた電流を読み出し負荷TR(231)で電圧に変換する。

続いて、メモリTR-1転送パルスφMTX-1(304)、負荷TRパルスφVL(312)を印加して、メモリTR-1(219)に記憶されていた電流を読み出して、負荷TR(231)において電圧に変換するとともに、先に読み出されていた電圧との比較を行う。そして、画素読出しスイッチ(229)のゲートに画素読出しパルスφPOUT(310)を印加することによって、比較の結果生じるインバータB(227)の出力電圧を垂直信号線(230)へ読み出す。

そして、2行目に並んだM個のすべての画素に対して、リセット・パルスφRST(301)、転送パルスφPTX(302)、受光信号読出しパルスφRD(303)、メモリTR-2転送パルスφMTX-2(306)、メモリTR-2短絡パルスφMEM-2(307)を、1行目と同様に一斉に印加することによって、受光期間(1)で光電変換された電子数で決まる電流をメモリTR-2(222)に記憶する。

その直後に、メモリTR-2転送パルスφMTX-2(306)、負荷TRパルスφVL(312)、インバータA短絡パルスφCMPA(308)、インバータB短絡パルスφCMPB(309)を印加して、メモリTR-2(222)に記憶されていた電流を読み出し負荷TR(231)で電圧に変換する。

続いて、メモリTR-1転送パルスφMTX-1(304)、負荷TRパルスφVL(312)を印加して、メモリTR-1(219)に記憶されていた電流を読み出して、負荷TR(231)で電圧に変換するとともに、先に読み出されていた電圧との比較を行う。そして、画素読出しスイッチ(229)のゲートに画素読出しパルスφPOUT(31

0) を印加することによって、比較の結果生じるインバータ B (2 2 7) の出力電圧を垂直信号線 (2 3 0) へ読み出す。

そして、3 行目以降から N 行目までの画素に対して、同様に位相のずれた駆動クロックを逐次印加していくことによって、すべての単位画素  
5 において、メモリ TR - 1 (2 1 9) に記憶された基準レベルに対応する電流とメモリ TR - 2 (2 2 2) に記憶された受光強度に比例した信号電流とを比較することができる。

本実施例に係る撮像素子における単位画素の各々は、駆動クロック・ジェネレータ 2 が出力する各クロック・パルス間のタイミング、すなわ  
10 ち駆動モードを切り替えることによって、フォト・ダイオード出力に対して A/D 変換以外の演算処理を適用することが可能である。例えば、各単位画素において、明るさの時間的な変化を演算して、変化が急峻となる時刻を検出することができる。

第 1 1 図には、第 3 図に示す単位画素において、明るさの時間的な変化を演算して、変化が急峻となる時刻を検出するための、各クロック・パルスの動作タイミングチャートを示している。また、第 1 2 図には、明るさの時間的な変化を演算して、変化が急峻となる時刻を検出するための、各単位画素における動作フローチャートを示している。以下、第 1 1 図及び第 1 2 図を参照しながら説明する。

20 まず、時刻カウンタとして使用する変数 n を 1 に設定する (ステップ S 5 1)。そして、リセット電圧 V R S T (3 1 1) を、電源電圧に設定する (ステップ S 5 2)。

次いで、リセット TR (2 1 3) のゲートにリセット・パルス  $\phi$  R S T (3 0 1) を印加することによって、アンプ TR (2 1 4) のゲート  
25 電位 V F D (2 4 0) を電源電圧に対応したリセット・レベルに設定して (ステップ S 5 3)、再びリセット・パルス  $\phi$  R S T (3 0 1) をロ

ー・レベルに戻す。

そして、フォト・ダイオード(2 1 1)に蓄積されている電子をアンプ  
TR (2 1 4) のゲート側に転送する(ステップS 5 4)。この処理は  
、演算を開始する前にフォト・ダイオード(2 1 1)に貯まっていたす  
5 べての電子を掃き出して初期化する動作に相当するが(第11図の初期  
化期間)、転送TR (2 1 2) のゲートに転送パルス $\phi$  P T X (3 0 2  
)を印加した後、再び転送パルス $\phi$  P T X (3 0 2)をロー・レベルに  
戻すことによって行われる。

次いで、再びリセットTR (2 1 3) のゲートにリセット・パルス $\phi$   
10 R S T (3 0 1)を印加することによって、アンプTR (2 1 4) のゲ  
ート電位V F D (2 4 0)を電源電圧に対応したリセット・レベルに設  
定して(ステップS 5 5)、再びリセット・パルス $\phi$  R S T (3 0 1)  
をロー・レベルに戻す。

そして、第11図の受光期間(1)にフォト・ダイオード(2 1 1)  
15 で光電変換されて蓄積されている電子をアンプTR (2 1 4) のゲート  
側に転送する(ステップS 5 6)。この処理は、転送TR (2 1 2) の  
ゲートに転送パルス $\phi$  P T X (3 0 2)を印加した後、再び転送パルス  
 $\phi$  P T X (3 0 2)をロー・レベルに戻すことによって行われる。

このとき、アンプTR (2 1 4) のゲート電位V F D (2 4 0)は、  
20 上記で転送された電子の数によって決まる。この結果発生する電流をメ  
モリTR-1 (2 1 9)に記憶させるためには、各トランジスタは以下  
のように動作すればよい。

まず、受光信号読出しパルス $\phi$  R D (3 0 3)、メモリTR-1転送  
パルス $\phi$  M T X-1 (3 0 4)、メモリTR-1短絡パルス $\phi$  M E M-  
25 1 (3 0 5)を同時に印加すると、上述した発生電流がアンプTR (2  
1 4)に流れる。また、受光信号読出しスイッチ(2 1 6)がオンにな

っているので、カレント・ミラー回路（215）によって増幅された電流（以下、「I-1」とする）が、メモリTR-1転送スイッチ（217）を介してメモリTR-1（219）に流れ込むことになる。但し、メモリTR-1短絡スイッチ（218）がオンになっているので、この  
5 ときのメモリTR-1（219）は飽和領域で動作している。

そして、メモリTR-1短絡パルスφMEM-1（305）をロー・レベルに戻すと、メモリTR-1短絡スイッチ（218）がオフとなり、メモリTR-1（219）はこれまで流れていた電流I-1を記憶することになる（ステップS57）。

10 このとき、受光信号読出しスイッチ（216）とメモリTR-1転送スイッチ（217）は、メモリTR-1短絡スイッチ（218）がオフとなるよりも若干長くオンの状態を保つ必要があるので、受光信号読出しパルスφRD（303）とメモリTR-1転送パルスφMTX-1（304）がロー・レベルになるタイミングはずらしてある。

15 以上説明したように、ステップS55～S57の処理によって、受光期間（1）で光電変換された電子の数に相当する電流I-1をメモリTR-1（219）に記憶することができる訳である。

次いで、リセットTR（213）のゲートにリセット・パルスφRST（301）を印加することによって、アンプTR（214）のゲート  
20 電位VFD（240）を電源電圧に対応したリセット・レベルに設定して（ステップS58）、再びリセット・パルスφRST（301）をロー・レベルに戻す。

そして、第11図のタイミングチャートにおける受光期間（2）で発生した電子を、アンプTR（214）のゲート側に転送する（ステップ  
25 S59）。この処理は、転送TR（212）のゲートに転送パルスφPTX（302）を印加した後、再び転送パルスφPTX（302）をロ

ー・レベルに戻すことによって行われる。

このとき、アンプTR (214) のゲート電位VFD (240) は、  
上記で転送された電子の数によって決まる。この結果発生する電流をメモ  
リTR-2 (222) に記憶させるためには、各トランジスタは以下  
5 のように動作すればよい。

受光信号読出しパルスφRD (303)、メモリTR-2転送パルス  
φMTX-2 (306)、メモリTR-2短絡パルスφMEM-2 (3  
07) を同時に印加することによって、上述した発生電流がアンプTR  
(214) に流れる。また、受光信号読出しスイッチ (216) がオン  
10 になっているので、カレント・ミラー回路 (215) によって増幅され  
た電流 (以下、「I-2」とする) が、メモリTR-2転送スイッチ (220) を介してメモリTR-2 (222) に流れ込むことになる。但  
し、メモリTR-2短絡スイッチ (221) がオンになっているので、  
このときのメモリTR-2 (222) は飽和領域で動作している。

15 ここで、メモリTR-2短絡パルスφMEM-2 (307) をロー・  
レベルに戻すと、メモリTR-2短絡スイッチ (222) がオフとなり  
、メモリTR-2 (222) はこれまで流れていた電流I-2を記憶す  
ることになる (ステップS60)。

このとき、受光信号読出しスイッチ (216) とメモリTR-2転送  
20 スwitch (220) は、やはりメモリTR-2短絡スイッチ (221)  
がオフとなるよりも若干長くオンの状態を保つ必要があるので、受光信  
号読出しパルスφRD (303) とメモリTR-2転送パルスφMTX  
-2 (306) がロー・レベルになるタイミングはずらしてある。

以上説明したように、ステップS58~S60の処理によって、受光  
25 期間 (2) で光電変換された電子の数に相当する電流I-2をメモリT  
R-2 (222) に記憶することができる訳である。

続くステップS 6 1～S 6 5では、メモリTR-1 (2 1 9) とメモリTR-2 (2 2 2) の各々に記憶されている電流I-1とI-2を比較する処理を行う。これはすなわち、受光期間(1)と受光期間(2)の各期間において光電変換されて発生した電子数の大小比較を行うことになる。

まず、メモリTR-1転送パルスφMTX-1 (3 0 4) 及び負荷TRパルスφVL (3 1 2) をともに印加することによって、メモリTR-1転送スイッチ(2 1 7)と負荷TR (2 3 1) をともにオンにする。この結果、メモリTR-1 (2 1 9) に記憶されている電流I-1が負荷TR (2 3 1) に流れ込み、その電流値に応じた負荷電圧(以下、「V1」とする)がドレイン側に発生する。

このとき、インバータA短絡スイッチ(2 2 3)とインバータB短絡スイッチ(2 2 6)の各ゲートに対してインバータA短絡パルスφCMPA (3 0 8)とインバータB短絡パルスφCMPB (3 0 9)を同時に印加する。この結果、インバータA短絡スイッチ(2 2 3)とインバータB短絡スイッチ(2 2 6)はともにオンされて、インバータA (2 2 4) 及びインバータB (2 2 7) の各入出力は短絡されることになる(ステップS 6 1)。これによって、インバータA (2 2 4) 及びインバータB (2 2 7) の各出力電圧は、それぞれのインバータの動作点電圧 $V_{inv-A}$ 及び $V_{inv-B}$ となる。

ここで、インバータA短絡パルスφCMPA (3 0 8) を最初にローレベルにすることによってインバータA短絡スイッチ(2 2 3)をオフにすると、インバータA (2 2 4) の出力電圧は短絡時から若干変動するものの、ほぼ動作点電圧に近い値を示し(以下、「 $V_{inv-A2}$ 」とする)、インバータA (2 2 4) の出力が確定する(ステップS 6 2)。その電圧値は、負荷TR (2 3 1) に電流I-1が流れたときに発生する

電圧  $V_1$  がキャパシタ A (225) に印加されたときの出力に対応している。

また、この時点では、キャパシタ A (225) の両端には、負荷 TR (231) に電流  $I-1$  が流れたときに発生する電圧 ( $V_1$ ) とインバータ A (224) の動作点電圧に近い値が印加されている（以下、「 $V_{inv-A1}$ 」とする）。

一方、インバータ B (227) は未だ短絡状態なので、ステップ S62 におけるインバータ A (224) の出力電圧の小さな変動はインバータ B (227) 側の出力には現れていない。

10 次いで、インバータ B 短絡パルス  $\phi_{CMPB}$  (309) をロー・レベルにすることによって、インバータ B 短絡スイッチ (226) をオフにすると、インバータ B (227) の出力電圧もやはり若干変動するものの、ほぼ動作点電圧に近い値を保っている（以下、「 $V_{inv-B2}$ 」とする）。この値が、負荷 TR (231) に電流  $I-1$  が流れたときに発生する  
15 電圧 ( $V_1$ ) がキャパシタ A (225)、インバータ A (224)、キャパシタ B (228) を介してインバータ B (227) に加わったときの出力に対応している（ステップ S63）。この時点では、キャパシタ B (228) の両端には、インバータ A (224) の出力電圧  $V_{inv-A2}$  と、インバータ B (228) の動作点電圧に近い電圧（以下、「 $V_{inv-B1}$ 」  
20 とする）がそれぞれ印加されている。

この状態で、メモリ TR-1 転送パルス  $\phi_{MTX-1}$  (304) 及び負荷 TR パルス  $\phi_{VL}$  (312) をともにロー・レベルにして、メモリ TR-1 転送スイッチ (217) 及び負荷 TR (231) をともにオフすることによって、メモリ TR-1 (219) に記憶しておいた電流  $I$   
25 -1 の読み出し動作が完了する。

次いで、再び負荷 TR パルス  $\phi_{VL}$  (312) をハイ・レベルに転じ

るとともに、同時にメモリTR-2転送パルス $\phi$ MTX-2(306)もハイ・レベルに転じることによって、負荷TR(231)及びメモリTR-2転送スイッチ(220)をともにオンにする。この結果、メモリTR-2(222)に記憶されていた電流I-2が負荷TR(231)に流れ込んで、ドレイン側にはその電流値に対応した電圧(以下、「V2」とする)が発生する。

ここで、電流I-2が流れ込んだときに負荷TR(231)に発生した電圧V2が、電流I-1が流れ込んだときに負荷TR(231)に発生した電圧V2よりも低ければ、キャパシタA(225)のインバータA(224)側の電位は、先の $V_{inv-A1}$ より $V1 - V2$ だけ下降する(但し、インバータA(224)の入力容量が無視できるほど小さい状況であるとする)。したがって、インバータA(224)の出力は $V_{inv-A2}$ より上昇して、その結果、キャパシタB(228)のインバータB(227)側電位が上昇して、インバータB(227)の出力電圧は下降することになる。

逆に、電圧V2が電圧V1よりも高ければ、キャパシタA(225)のインバータA(224)側電位は $V_{inv-A1}$ より $V2 - V1$ だけ上昇して、インバータA(224)の出力は $V_{inv-A2}$ より下降する(但し、インバータA(224)の入力容量が無視できるほど小さい状況であるとする)。その結果、キャパシタB(228)のインバータB(227)側電位も下降して、インバータB(227)の出力電圧が上昇することになる。

すなわち、メモリTR-2(222)に記憶されていた電流I-2が、メモリTR-1(219)に記憶されていた電流I-1よりも大きければ、負荷TR(231)に発生する電圧もV1よりV2の方が高くなり、インバータB(228)の出力は高くなる。これとは逆に、電流I



— 2 が電流  $I - 1$  よりも小さければ、インバータ B (2 2 8) の出力は低くなる。したがって、2 つの電流の大小比較が可能となる訳である (ステップ S 6 4)。

この状態で、画素読出しパルス  $\phi$  POUT (3 1 0) をハイ・レベル  
5 に転じて、画素読出しスイッチ (2 2 9) をオンにすることによって、垂直信号線 (2 3 0) には電流  $I - 1$  と  $I - 2$  の比較結果に応じてインバータ B (2 2 8) の出力レベルが現れることになる (ステップ S 6 5)。そして、画素読出しパルス  $\phi$  POUT (3 1 0) をロー・レベルに戻して、続いてメモリ TR - 1 転送パルス  $\phi$  MTX - 1 (3 0 4) 及び  
10 負荷 TR パルス  $\phi$  VL (3 1 2) をロー・レベルに戻すことによって、画素読み出し動作が完了する。

このとき、垂直信号線 (2 3 0) のレベル、すなわち、今回読み出された画素の出力レベルがロー又はハイのいずれのレベルかを判別する (ステップ S 6 6)。垂直信号線 (2 3 0) のレベル判定は、撮像素子と  
15 同一チップ又は別のチップ上に実装された演算器 (図示しない) によって行われる。

垂直信号線 (2 3 0) のレベル、すなわち、今読み出された画素の出力レベルがハイ・レベルならば、電流  $I - 2$  は  $I - 1$  より大きい、あるいは、受光期間 (2) で光電変換された電子数は受光期間 (1) で光電  
20 変換された電子数よりも少ない、すなわち、入射光がいったん明るくなって再び暗くなるという明度の変化があったと判断することができる。この場合、サンプリング周期  $\Delta T$  に時刻カウンタ値  $n$  で乗算した値  $\Delta T \times n$  を時刻情報として出力して (ステップ S 7 7)、第 1 2 図に示す本処理ルーチン全体を終了する。

25 他方、垂直信号線 (2 3 0) のレベル、すなわち、今読み出された画素の出力レベルがロー・レベルならば、時刻カウンタ  $n$  を 1 だけインク

リメントして（ステップS 6 7）、後続のステップに進む。

ステップS 6 8～S 7 8は、上述したステップS 5 8～S 6 7の処理において、メモリTR-1（2 1 9）とメモリTR-2（2 2 2）の各々の役割を入れ替えたものに相当する。

- 5     すなわち、ステップS 6 8～S 7 8においては、メモリTR-2（2 2 2）に記憶されている電流の方が、メモリTR-1（2 1 9）に記憶されている電流よりも時間的に後で記憶された信号となる。したがって、メモリTR-2（2 2 2）が次に新たに光電変換された信号に対応する電流を記憶するように、時間的に前で記憶された信号を書き換えなければならぬ。
- 10

- そこで、まず、リセットTR（2 1 3）のゲートにリセット・パルス $\phi$  R S T（3 0 1）を印加することによって、アンプTR（2 1 4）のゲート電位V F D（2 4 0）を電源電圧に対応したリセット・レベルに設定して（ステップS 6 8）、再びリセット・パルス $\phi$  R S T（3 0 1）
- 15    ）をロー・レベルに戻す。

- 次いで、第11図のタイミングチャートの受光期間（3）で発生した電子をアンプTR（2 1 4）のゲート側に転送する（ステップS 6 9）。この処理は、転送TR（2 1 2）のゲートに転送パルス $\phi$  P T X（3 0 2）を印加した後、再び転送パルス $\phi$  P T X（3 0 2）をロー・レベル
- 20    に戻すことによって行われる。

      このとき、アンプTR（2 1 4）のゲート電位V F D（2 4 0）は、上記で転送された電子の数によって決まる。この結果発生する電流をメモリTR-1（2 1 9）に記憶させるためには、各トランジスタは以下のように動作すればよい。

- 25    受光信号読出しパルス $\phi$  R D（3 0 3）、メモリTR-1転送パルス $\phi$  M T X-1（3 0 4）、メモリTR-1短絡パルス $\phi$  M E M-1（3

05) を同時に印加することによって、上述した発生電流がアンプTR  
(214) に流れる。また、受光信号読出しスイッチ(216) がオン  
になっているので、カレント・ミラー回路(215) によって増幅され  
た電流(以下、「I-1」とする)が、メモリTR-1 転送スイッチ(5  
217) を介してメモリTR-1 (219) に流れ込むことになる。但  
し、メモリTR-1 短絡スイッチ(218) がオンになっているので、  
このときのメモリTR-1 (219) は飽和領域で動作している。

ここで、メモリTR-1 短絡パルスφMEM-1 (305) をロー・  
レベルに戻すと、メモリTR-1 短絡スイッチ(218) がオフとなり  
10、メモリTR-1 (219) はこれまで流れていた電流I-1 を記憶す  
ることになる(ステップS70)。

このとき、受光信号読出しスイッチ(216) とメモリTR-1 転送  
スイッチ(217) は、メモリTR-1 短絡スイッチ(218) がオフ  
となるよりも若干長くオンの状態を保つ必要があるので、受光信号読出  
15しパルスφRD (303) とメモリTR-1 転送パルスφMTX-1 (304) がロー・レベルになるタイミングはずらしてある。

次いで、ステップS71~S75では、メモリTR-2 (222) と  
メモリTR-1 (219) の各々に記憶されている電流I-2 とI-1  
を比較する。これは、すなわち、受光期間(2) と受光期間(3) の各  
20期間において光電変換されて発生した電子数の大小比較を行うことに相  
当する。

まず、メモリTR-2 転送パルスφMTX-2 (306) 及び負荷TR  
RパルスφVL (312) をともに印加することによって、メモリTR  
-2 転送スイッチ(222) と負荷TR (231) をともにオンにする  
25。この結果、メモリTR-2 (222) に記憶されている電流I-2 が  
負荷TR (231) に流れ込み、その電流値に応じた負荷電圧(以下、

「V 2」とする)がドレイン側に発生する。

このとき、インバータ A 短絡スイッチ (2 2 3) とインバータ B 短絡  
スイッチ (2 2 6) の各ゲートに対してンバータ A 短絡パルス  $\phi$  CMP  
A (3 0 8) とインバータ B 短絡パルス  $\phi$  CMP B (3 0 9) を同時に  
5 印加する。この結果、インバータ A 短絡スイッチ (2 2 3) とインバー  
タ B 短絡スイッチ (2 2 6) はともにオンされて、インバータ A (2 2  
4) 及びインバータ B (2 2 7) の入出力は短絡されることになる (ス  
テップ S 7 1)。これによって、インバータ A (2 2 4) 及びインバ  
ータ B (2 2 7) の各出力電圧は、それぞれのインバータの動作点電圧  
10  $V_{inv-A}$  及び  $V_{inv-B}$  となる。

そして、インバータ A 短絡パルス  $\phi$  CMP A (3 0 8) を最初にロー  
・レベルにすることによってインバータ A 短絡スイッチ (2 2 3) をオ  
フにすると、インバータ A (2 2 4) の出力電圧は短絡時から若干変動  
するものの、ほぼ動作点電圧に近い値を示し (以下、「 $V_{inv-A2}$ 」とする  
15 )、インバータ A (2 2 4) の出力が確定する (ステップ S 7 2)。そ  
の電圧値は、負荷 TR (2 3 1) に電流  $I - 2$  が流れたときに発生する  
電圧 V 2 がキャパシタ A (2 2 5) に印加されたときの出力に対応して  
いる。

また、この時点では、キャパシタ A (2 2 5) の両端には、負荷 TR  
20 (2 3 1) に電流  $I - 2$  が流れたときに発生する電圧 (V 2) とインバ  
ータ A (2 2 4) の動作点電圧に近い値が印加されている (以下、「 $V_{inv-A1}$ 」とする)。

一方、インバータ B (2 2 7) は未だ短絡状態なので、ステップ S 7  
2 におけるインバータ A (2 2 4) の出力電圧の小さな変動はインバ  
ータ B (2 2 7) 側の出力には現れていない。  
25

次いで、インバータ B 短絡パルス  $\phi$  CMP B (3 0 9) をロー・レベ

ルにすることによって、インバータB短絡スイッチ（226）をオフに  
すると、インバータB（227）の出力電圧もやはり若干変動するもの  
の、ほぼ動作点電圧に近い値を保っている（以下、「 $V_{inv-B2}$ 」とする）  
。この値が、負荷TR（231）に電流 $I-2$ が流れたときに発生する  
5 電圧（ $V2$ ）がキャパシタA（225）、インバータA（224）、並  
びにキャパシタB（228）を介してインバータB（227）に加わっ  
たときの出力に対応している（ステップS73）。この時点では、キャ  
パシタB（228）の両端には、インバータA（224）の出力電圧 $V$   
10  $V_{inv-A2}$ と、インバータB（228）の動作点電圧に近い電圧（以下、「 $V$   
 $V_{inv-B1}$ 」とする）がそれぞれ印加されている。

この状態で、メモリTR-2転送パルス $\phi MTX-2$ （306）及び  
負荷TRパルス $\phi VL$ （312）をロー・レベルにして、メモリTR-  
2転送スイッチ（220）及び負荷TR（231）をともにオフするこ  
とによって、メモリTR-2（222）に記憶された電流 $I-2$ の読み  
15 出しが完了する。

次いで、再び負荷TRパルス $\phi VL$ （312）をハイ・レベルに転じ  
るとともに、同時にメモリTR-1転送パルス $\phi MTX-1$ （304）  
もハイ・レベルに転じることによって、負荷TR（231）及びメモリ  
TR-1転送スイッチ（217）をともにオンにする。この結果、メモ  
20 リTR-1（219）に記憶されていた電流 $I-1$ が負荷TR（231  
）に流れ込んで、ドレイン側にはその電流値に対応した電圧（以下、「 $V1$ 」とする）が発生する。

そして、この電圧 $V1$ が、先に電流 $I-2$ が流れたときに負荷TR（  
231）に発生した電圧 $V2$ より低ければ、キャパシタA（225）の  
25 インバータA（224）側の電位は、先の $V_{inv-A1}$ より $V2-V1$ だけ下  
降することになる（但し、インバータA（224）の入力容量が無視で

きるほど小さい状況であるとする)。したがって、インバータA (224) の出力は $V_{inv-A2}$ より上昇して、その結果、キャパシタB (228) のインバータB (227) 側電位が上昇し、インバータB (227) の出力電圧は下降することになる。

- 5 逆に、電圧V1が電圧V2よりも高ければ、キャパシタA (225) のインバータA (224) 側電位は $V_{inv-A1}$ より $V1 - V2$ だけ上昇して、インバータA (224) の出力は $V_{inv-A2}$ より下降する(但し、インバータA (224) の入力容量が無視できるほど小さい状況であるとする)。その結果、キャパシタB (228) のインバータB (227) 側電  
10 位も下降して、インバータB (227) の出力電圧が上昇することになる。

- すなわち、メモリTR-1 (219) に記憶されていた電流I-1が、メモリTR-2 (222) に記憶されていた電流I-2よりも大きければ、負荷TR (231) に発生する電圧もV2よりV1の方が高くなり、インバータB (228) の出力は高くなる。これとは逆に、電流I  
15 -1が電流I-2よりも小さければ、インバータB (228) の出力は低くなる。したがって、2つの電流の大小比較が可能となる訳である(ステップS74)。

- この状態で、画素読出しパルス $\phi_{POUT}$  (310) をハイ・レベル  
20 に転じて、画素読出しスイッチ (229) をオンにすることによって、垂直信号線 (230) には電流I-1とI-2の比較結果に応じてインバータB (228) の出力レベルが現れることになる(ステップS75)。そして、画素読出しパルス $\phi_{POUT}$  (310) をロー・レベルに戻して、続いてメモリTR-2転送パルス $\phi_{MTX-2}$  (306) 及び  
25 負荷TRパルス $\phi_{VL}$  (312) をロー・レベルに戻すことによって、画素読み出し動作が完了する。

このとき、垂直信号線（2 3 0）のレベル、すなわち、今回読み出された画素の出力レベルがロー又はハイのいずれのレベルかを判別する（ステップS 7 6）。垂直信号線（2 3 0）のレベル判定は、撮像素子と同一チップ又は別のチップ上に実装された演算器（図示しない）によって行われる。

垂直信号線（2 3 0）のレベル、すなわち、今回読み出された画素の出力レベルがハイ・レベルならば、電流  $I - 1$  は  $I - 2$  より大きい、あるいは、受光期間（3）で光電変換された電子数は受光期間（2）で光電変換された電子数よりも少ない、すなわち、入射光がいったん明るくなって再び暗くなるという明度の変化があったと判断できる。この場合、サンプリング周期  $\Delta T$  に時刻カウンタ値  $n$  で乗算した値  $\Delta T \times n$  を時刻情報として出力して（ステップS 7 7）、本処理ルーチン全体を終了する。

他方、垂直信号線（2 3 0）のレベル、すなわち、今読み出された画素の出力レベルがロー・レベルならば、時刻カウンタ  $n$  を1だけインクリメントして（ステップS 7 7）、ステップS 5 8に戻って上述と同様の処理を繰り返し実行する。

次いで、受光期間（3）と受光期間（4）の各期間で発生した電子数の大小比較、さらには受光期間（4）と受光期間（5）の各期間で発生した電子数の大小比較というように、明るさの時間的変化の演算を順次実行することができる。

このように、フォト・ダイオード出力に相当する電流信号を記憶するメモリTRを各受光期間毎に入れ替えて、比較する際の読み出しの順番も変えることによって、常に時間的に後の信号が前の信号よりも大きいのか小さいかを同じ基準で判断することができる訳である。

第11図及び第12図に示す処理動作を実行する結果として、本実施

例に係る撮像素子の各単位画素は、明るさの時間的な変化をとらえ、明度の時間的なピーク検出を高速に行うことが可能となる。

第 1 1 図及び第 1 2 図に示すような動作特性を持つ単位画素からなる撮像素子を用いることによって、例えば、1 フレーム目で撮像した被写体画像と 2 フレーム目で撮像した被写体画像を求めることで、被写体の明るさの時間的な変化を求めることができる。

被写体の明るさの時間的な変化を求めることができる撮像素子を用いることにより、いわゆる 3 角測量の原理に従って、被写体までの距離を計測するアクティブ型距離計測システムを構成することができる。この種のアクティブ型距離計測システムについては、例えば、本出願人に既に譲渡されている特願 2 0 0 0 - 1 0 7 7 2 3 号明細書に開示されている。また、アクティブ型の距離計測原理については、例えば「三次元画像計測」（井口、佐藤共著、昭晃堂）に記載されている。

勿論、駆動クロック・ジェネレータ 2 が出力する各クロック・パルスのタイミングを切り替えることによって、本実施例に係る単位画素の各々は、フォト・ダイオード出力に対して上記（A D 変換や変化が急峻となる時刻の検出）以外の演算処理を行うことも可能である。

## 第 2 の実施形態

第 1 3 図には、本発明の第 2 の実施形態に係る撮像素子 1 0 0 1 を適用した撮像システム全体の構成例を模式的に示している。

信号発生器 1 0 0 2 は、撮像素子 1 0 0 1 を駆動するのに必要な信号を発生する。そして、発生した各信号は撮像素子 1 0 0 1 に入力され、撮像素子 1 0 0 1 内の垂直スキャナ 1 0 2 0 で画素制御信号として、撮像素子 1 0 0 1 を構成する各画素 1 1 に伝達される。

フレーム・メモリ 1 0 0 4 は、撮像素子 1 0 0 1 の画素数に相当するアドレス空間を有しており、またそのデータ幅は撮像素子 1 0 0 1 の撮



像結果を表現するのに必要なサイズを持っている。フレーム・メモリ 1004 は、信号処理部 1003 と双方向バスで接続されており、信号処理部 1003 で生成された画素毎の処理結果を入力して記憶したり、その内容を必要に応じて逆に信号処理部 1003 に引き渡したりする。

- 5 信号処理部 1003 は、撮像素子 1001 の出力信号を入力して、デジタル・データのままで画素毎に処理した上で、その結果を上述のフレーム・メモリ 1004 に出力する。

デジタル・アナログ変換部 1005 は、信号処理部 1003 からの画素毎のデジタル信号を入力して、それをアナログ信号に変換して出力する。  
10

表示部 1006 は、デジタル・アナログ変換部 1005 から出力されるアナログ信号を入力して、画面（図示しない）上に表示出力する。

- 第 14 図には、本発明の第 2 の実施形態に係る撮像素子 1001 の回路構成を模式的に示している。同図に示すように、撮像素子 1001 は  
15 、 $M \times N$  個の画素 1 が 2 次元マトリックス状に配列され、各行毎に画素制御信号 1012 が敷設されるとともに、各列毎に垂直信号線 1013 が敷設されて構成される。そして、各画素列からの  $N$  本の垂直信号線 1013 は、水平出力回路 1030 に接続されており、その出力信号は、シリアル変換されて撮像素子 1001 の外部に出力されたり、出力レー  
20 トを高速にするために平行で撮像素子 1001 の外部に出力されるようになっている。

信号発生器 1002 は、単位画素を駆動するための図示の各クロック・パルス信号をそれぞれ所定のタイミングで発生させる回路である。

- また、垂直駆動回路 1020 は、信号発生器 1002 において発生されたクロック・パルスを、水平方向に並んだ  $M$  個の単位画素からなる画  
25 素行の各々に対して、動作タイミングをずらしながら画素制御信号 10

1 2 経由で供給する。

第 1 4 図中に示した画素制御信号 1 0 1 2 は、各画素を駆動するための受光部制御パルス 1 2 0 0、増幅部制御パルス 1 2 1 0、第 1 記憶部制御パルス 1 2 2 0、第 2 記憶部制御パルス 1 2 3 0、比較部制御パルス 1 2 4 0、バイアス部制御パルス 1 2 5 0、そして出力部制御パルス 1 2 6 0（後述）をひとまとまりにしたものである。これら駆動クロック・パルスを所定のタイミングで動作させることによって、撮像素子に対して画素出力信号の A/D 変換処理やその他の演算処理を適用することができる。但し、駆動クロック・パルスの動作タイミングや演算処理の手順については、後に詳解する。

第 1 5 図には、撮像素子 1 を構成する単位画素の構造を模式的に図解している。同図に示すように 1 つの画素は、受光部 1 1 0 0 と、増幅部 1 1 0 1 と、第 1 記憶部 1 1 0 2 及び第 2 記憶部 1 1 0 3 と、比較部 1 1 0 4 と、バイアス部 1 1 0 5 と、出力部 1 1 0 6 とで構成される。

15 受光部 1 1 0 0 は、入射した光の強度に応じて光電変換された信号を増幅部 1 1 0 1 に対して出力する。

受光部制御パルス 1 2 0 0 は、受光部 1 1 0 0 の内部状態のリセット動作や、光電変換された信号の内部転送動作を制御する入力パルスであり、リセット・パルス  $\phi_{RST}$  (1 2 0 1)、転送パルス  $\phi_{TX}$  (1 2 0 2) が含まれる。

増幅部 1 1 0 1 は、受光部 1 1 0 0 からの出力信号を入力して増幅した信号を、第 1 記憶部 1 1 0 2 及び第 2 記憶部 1 1 0 3 に対して出力する。

増幅部制御パルス 1 2 1 0 は、増幅部 1 1 0 1 で増幅した信号を出力するか否かを制御する入力パルスであり、増幅部読出しパルス  $\phi_{AG}$  (1 2 1 1) が含まれる。

第1記憶部1102並びに第2記憶部1103は、増幅部1101から出力される信号を記憶しておき、比較部1104へ出力するようになっている。

第1記憶部制御パルス1220並びに第2記憶部制御パルス1230  
5 は、それぞれ第1記憶部1102、第2記憶部1103への信号記録動作及び信号読み出し動作の制御を行う。第1記憶部制御パルス1220には、第1記憶パルスφMSWF(1221)、第1記憶ゲート・パルスφMGF(1222)が含まれる。また、第2記憶部制御パルス1220には、第2記憶パルスφMSWS(1231)、第2記憶ゲート・  
10 パルスφMGS(1232)が含まれる。

比較部1104は、第1記憶部1102並びに第2記憶部1103から読み出される信号を入力して、両者を比較した結果として0(ロー・レベル)又は1(ハイ・レベル)の信号を出力する。

比較部制御パルス1240は、比較部1104の動作制御を行う入力  
15 パルスであり、負荷パルスφQL(1241)、第1インバータ短絡パルスφINVF(1242)、第2インバータ短絡パルスφINVS(1243)が含まれる。

バイアス部1105は、比較部1104にバイアス信号を加えることによって、入力される2つの信号に対してバイアス信号を付加する。

20 バイアス部制御パルス1250は、バイアス部1105から出力されるバイアス信号を制御するための入力パルスであり、第1バイアス・ゲート・パルスφGBF(1252)、並びに、第2バイアス・ゲート・パルスφGBS(1253)が含まれる。

出力部1106は、比較部1104の比較結果信号を画素信号1107として単位画素の外部に出力する。  
25

出力部制御パルス1260は、出力部1106の動作制御を行うため

の入力パルスであり、出力ゲート・パルス  $\phi$  GOUT (1 2 6 1) が含まれる。

次に、上述した単位画素においてアナログ信号量である受光強度をデジタル信号に変換する原理の説明について、第 1 6 図を参照しながら説明する。

まず、画素が受光してから記憶部 1 1 0 2、1 1 0 3 のうちいずれか一方に信号を記憶し、それを読み出してから比較処理を行って出力する一連の期間を、本明細書では「1 フレーム」と定義しておく。

第 1 6 図に示したグラフの横軸は、受光部 1 1 0 0 において受光してから比較結果が出力されるフレームが何回繰り返されるか、すなわち何回比較処理が行われた時に画素出力が 0 から 1 に反転するかというフレーム番号を示している。そして、最大のフレーム数を  $F_{MAX}$  と定義し、 $F_{MAX}$  の回数だけ比較処理を繰り返して、1 回の撮像を完了するものとする。

また、第 1 6 図に示すグラフの縦軸は、受光部 1 1 0 0 における光強度の信号量  $S$  を表している。非常に明るい光を受光した場合の信号量の時間的变化を  $VB$  (1 0 5 1) とし、それよりわずかに弱い光の場合を  $VB'$  (1 0 5 2) とする。また、明るい光の場合を  $B$  (1 0 5 3)、中位の明るさの場合を  $M$  (1 0 5 4)、暗い光を受光した場合を  $D$  (1 0 5 5)、非常に暗い場合を  $VD$  (1 0 5 6) とし、それぞれ光を受光したときの信号量の時間的变化を直線で表現している。同図に示す例では、明るさの違いは直線の傾き、すなわち信号量の時間的变化の大小で表現されると仮定している。したがって、明るい光ほど傾きが急で、暗い光ほど傾きは緩やかであるとしている。

さて、ここで、信号量が  $R_H$  で時間的に一定であるような基準信号を考える。そして、それぞれの明るさの時間変化に対応する直線が、その

基準信号レベル  $R_H$  に交わるまでに必要なフレーム数あるいは時間を求める。少ないフレーム数で基準レベルと交わるほど明るく、多くのフレーム数で交わるほど暗いという性質を利用することによって、受光した光の明るさを表現することができる。フレーム数は離散的すなわちデジタル量であるから、結果として得られる明るさもデジタル量として表現されることになる。

上記の条件では、図示の通り、 $VB(1051)$  との交点に対応するフレーム番号は  $F_{VB1}$  である。また、 $VB'(1052)$  との交点は  $F_{VB'1}$  であり、 $B(1053)$  との交点は  $F_{B1}$  であり、そして  $M(1054)$  との交点は  $F_{M1}$  となっている。一方、 $D(1055)$  並びに  $VD(1056)$  は交点が存在しない。

この場合、受光した光の明るさを、定数  $K$  と基準信号レベルと交点のフレーム番号を用いて下式のように表すことができる。すなわち、

$$I_{VB} = K / F_{VB1} \quad (\text{式7})$$

$$I_{VB'} = K / F_{VB'1} \quad (\text{式8})$$

$$I_B = K / F_{B1} \quad (\text{式9})$$

$$I_M = K / F_{M1} \quad (\text{式10})$$

さて、基準信号レベルを  $R_H$  としたとき、上記のように暗い光  $D1055$ 、並びに非常に暗い光  $VD1056$  は、ここで設定している最大時間あるいは最大フレームの間には交点を持たないので明るさを表現することができない。そこで、基準信号レベルを  $R_H$  から  $R_M$  につり上げると、第16図から判るように、直線  $D(1055)$  はフレーム  $F_{D2}$  で交点を持つようになる。そして、基準レベルをさらにつり上げて  $R_L$  とすると、さらに直線  $VD$  がフレーム  $F_{VD3}$  で交わることが判る。すなわち、基準レベルを上げることによって、明るさのゲインを大きくすることと等価の処理を行っていると考えることができる。

例えば基準レベルを $R_L$ としたときのそれぞれの光の明るさを、下式のように表現することができる。すなわち、

$$I_{VB} = K / F_{VB1} \quad (\text{式 1 1})$$

$$I_{VB'} = K / F_{VB1} \quad (\text{式 1 2})$$

5  $I_B = K / F_{B3} \quad (\text{式 1 3})$

$$I_M = K / F_{M3} \quad (\text{式 1 4})$$

$$I_D = K / F_{D3} \quad (\text{式 1 5})$$

$$I_{VD} = K / F_{VD3} \quad (\text{式 1 6})$$

ここで注意しなければならないのは、上記の（式 1 1）は（式 7）と同じであり、また、本来明るさが異なるはずの（式 1 2）とも同じになっているという点である。これは、フレーム $F_{VB1}$ が時間軸の最小単位で、最初のフレームに相当している場合に生じる現象である。言い換えれば、最初のフレームで画素出力が1であった場合、実際の明るさが違って  
10 も、上式のように表現する限りでは明るさの違いを識別することが不可能となってしまう。このような現象を避けるためには、明るい光に対しては基準レベルを低く設定するほどよい、ということが判る。  
15

これまでの議論により、暗い光を検出して明るさとして表現するためには、基準レベルを上げる（これはゲインを上げることに相当する）必要がある。一方、明るい光を表現するためには、基準レベルを下げる（これはゲインを下げることに相当する）必要がある。そこで、暗い光から明るい光に至るまで、ダイナミック・レンジの広い範囲で明るさを表現するためには、明るい光が検出される時間的に早い期間、すなわちフレーム数の小さい範囲では、基準レベルを低く設定しておき、時間の経過とともに基準レベルを徐々に上げられていけばよいということ  
20  
25 、当業者であれば理解できるであろう。

第 1 7 図には、そのような基準レベルの設定方法の一例を示している

。同図に示す例では、最初の基準レベルは $R_H$ から始まって徐々に（すなわち時間の経過とともに階段状に）上昇していき、最終的には $R_L$ になっている。基準レベルの上昇の仕方は、1フレーム毎に少しずつ変化させてもよいし、数フレーム毎に変化させてもよい。

- 5 第17図に示す明るさ変換ダイナミック・レンジ拡張原理に従えば、それぞれの明るさを表す直線と基準レベルとの交点から、受光したそれぞれの光の明るさは、以下のように表現される。すなわち、

$$I_{VB} = K / F_{VB} \quad (\text{式 1 7})$$

$$I_{VB'} = K / F_{VB'} \quad (\text{式 1 8})$$

$$10 \quad I_B = K / F_B \quad (\text{式 1 9})$$

$$I_M = K / F_M \quad (\text{式 2 0})$$

$$I_D = K / F_D \quad (\text{式 2 1})$$

$$I_{VD} = K / F_{VD} \quad (\text{式 2 2})$$

- 第17図に従う明るさの表現方法によれば、非常に明るいVB（10  
15 51）も、非常に暗いVD（1056）も同時にすなわち同じ系で表現可能となる。

次いで、上述したようなダイナミック・レンジの広い撮像を実現可能とする方式を採用した実装回路の例について説明する。

- 第18図には、第15図に示した撮像素子の単位画素の各ブロックに  
20 関する1つの実装例を示している。

第19図には、この単位画素のうち、受光部1100と増幅部1101の内部構成を詳細に示している。

- 受光部1100は、フォト・ダイオード（PD）1301と、転送トランジスタ（TX）1302と、フローティング・ディフュージョン（  
25 FD）1033と、リセット・トランジスタ（RST）1304から構成されている。そして、リセット・トランジスタ1304にはリセット

・パルス ( $\phi$  R S T) 1 2 0 1 が与えられるとともに、転送トランジスタ (T X) 1 3 0 2 には転送パルス ( $\phi$  T X) 1 2 0 2 が与えられている。各入力パルス 1 2 0 1、1 2 0 2 は受光部制御パルス 1 2 0 0 (前述) に相当する。

5     さて、リセット・トランジスタ R S T 1 3 0 4 には、リセット電圧 ( $V_R$ ) 1 2 0 3 が印加されているので、リセット・パルス  $\phi$  R S T 1 2 0 1 を入力することによって、リセット・トランジスタ R S T 1 3 0 4 がオン状態に切り替わると、フローティング・ディフュージョン F D 1 3 0 3 はリセット電圧  $V_R$  1 2 0 3 の値によって決まる電位にリセット  
10    される。そして、転送パルス  $\phi$  T X 1 2 0 2 によって転送トランジスタ T X 1 3 0 2 がオンすると、フォト・ダイオード P D 1 3 0 1 で光電変換された電子がフローティング・ディフュージョン F D 1 3 0 3 に転送されて、その電子数に応じた電位がフローティング・ディフュージョン F D 1 3 0 3 に発生することになる。

15     フローティング・ディフュージョン F D 1 3 0 3 の電位は受光量に対応しており、フォト・ダイオード P D 1 3 0 1 が飽和しない限り、ほぼ明るさに比例すると考えられる。そして、明るいほど、すなわち受光量が多いほど光電変換で発生する電子数は多いので、フローティング・ディフュージョン F D 1 3 0 3 の電位は低下し、逆に、暗いほど発生する  
20    電子数が少なくなるのでフローティング・ディフュージョン F D 1 3 0 3 の電位は高くなる

増幅部 1 1 0 1 は、増幅トランジスタ (Q A) 1 3 1 1 と、増幅部読出し第 1 ゲート (A G F) 1 3 1 2 と、増幅部読出し第 2 ゲート (A G S) 1 3 1 3 と、カレント・ミラー回路 1 3 1 4 及び 1 3 1 5 とから構成  
25    されている。そして、増幅部読出し第 1 ゲート A G F 1 3 1 2 及び増幅部読出し第 2 ゲート (A G S) 1 3 1 3 には増幅部制御パルス 1 2 1



0としての増幅部読出しパルス（ $\phi AG$ ）1211がそれぞれ与えられている。

いま、増幅トランジスタQA1311のゲートには、受光部1100側のフローティング・ディフュージョン1303における電位が印加されている。この状態で増幅部読出しパルス $\phi AG$ 1211が与えられると、増幅トランジスタQA1311のソース・ゲート間電位で決まる電流が増幅部読出し第1ゲートAGF1312及びミラー・トランジスタ1314を通して流れ、ミラー・トランジスタ1315と1314のサイズで決定される増幅された電流が増幅部第2ゲートAGS1313とミラー・トランジスタ1315を流れるようになっている。

そして、フローティング・ディフュージョンFD1303の電位が高いほど、多くの電流が流れる。すなわち、受光した光が暗いほど増幅部第2ゲートAGS1313とミラー・トランジスタ1315を流れる電流は大きくなり、明るいほどその電流は小さくなる。

また、第20図には、第15図に示した単位画素のうち、第1記憶部1102と第2記憶部1103の内部構成を詳細に示している。

第1記憶部1102は、第1記憶トランジスタ（QMF）1321と、第1記憶トランジスタ・スイッチ（MSWF）1322と、第1記憶ゲート（MGF）1323から構成されている。そして、第1記憶トランジスタ・スイッチMSWF1322には第1記憶パルス（ $\phi MSWF$ ）1221が、また、第1記憶ゲートMGF1323には第1記憶ゲート・パルス（ $\phi MGF$ ）1222が、第1記憶部制御パルス1220（前述）としてそれぞれ与えられている。

同様に、第2記憶部1103は、第2記憶トランジスタ（QMS）1331と、第2記憶トランジスタ・スイッチ（MSWS）1332と、第2記憶ゲート（MGS）1333とから構成されている。そして、第

2 記憶トランジス・スイッチMSWS 1 3 3 2には第2記憶パルス ( $\phi$  MSWS) 1 2 3 1が、また、第2記憶ゲートMGS 1 3 3 3には第2記憶ゲート・パルス ( $\phi$  MGS) 1 2 3 2が、第2記憶部制御パルス 1 2 3 0としてそれぞれ与えられている。

- 5     そして、第1記憶ゲートMGF 1 3 2 3と第2記憶ゲートMGS 1 3 3 3はともに増幅部 1 1 0 1に接続されており、上述したカレント・ミラーで増幅された信号電流を入力できるようになっている。

さて、第1記憶部 1 1 0 2及び第2記憶部 1 1 0 3は、いわゆるカレント・コピー回路、若しくはダイナミック・カレントミラー回路の構成  
10   となっており、次のような動作で信号電流を記憶することができる。

- まず、第1記憶ゲートMGF 1 3 2 3が第1記憶パルス  $\phi$  MGF 1 2 2 2によってオン状態となっている期間に、第1記憶トランジスタ・スイッチMSWF 1 3 2 2を第1記憶パルス  $\phi$  MSWF 1 2 2 1によってオンに切り替えることによって第1記憶トランジスタQMF 1 3 2 1の  
15   ゲートとドレインが短絡され、第1記憶ゲートMGF 1 3 2 3を通して信号電流が、いわゆる飽和領域動作の第1記憶トランジスタQMF 1 3 2 1に流れることになる。そして、第1記憶トランジスタ・スイッチMSWF 1 3 2 2だけをオフに切り替えても信号電流は流れ続けているので、第1記憶トランジスタQMF 1 3 2 1のゲート電位は、その信号電  
20   流を流すのに必要な値を保持することになる。次に、第1記憶ゲートMGF 1 3 2 3をオフに切り替えることによって信号電流は流れなくなるが、第1記憶トランジスタQMF 1 3 2 1のゲート電位が保持されている限りは、信号電流は記憶されていることになる。

- すなわち、第1記憶ゲート・パルス  $\phi$  MGF 1 2 2 2によって再び第  
25   1記憶ゲートMGF 1 3 2 3がオンに切り替えられると、保持されている第1記憶トランジスタQMF 1 3 2 1のゲート電位によって記憶され

ていた信号電流が再び流れ出すことになる。第2記憶部1103も上述と同様の動作によって第2記憶トランジスタQMS1331に信号電流を記憶することができる。

また、第21図には単位画素のうちバイアス部1105の内部構成を5 詳細に示している。

バイアス部1105は、第1バイアス・トランジスタ(QBF)1351と、第2バイアス・トランジスタ(QBS)1352と、第1バイアス・ゲート(GBF)1353と、第2バイアス・ゲート(GBS)1354とで構成されている。そして、バイアス部制御パルス125010 として、第1バイアス・トランジスタQBF1351と第2バイアス・トランジスタQBS1352にはバイアス電圧(VB)1251が、第1バイアス・ゲートGBF1353には第1バイアス・ゲート・パルス( $\phi$ GBF)1252が、第2バイアス・ゲートGBS1354には第2バイアス・ゲート・パルス( $\phi$ GBS)1253がそれぞれ与えられ15 ている(前述)。

そして、第1バイアス・ゲートGBF1353と第2バイアス・ゲートGBS1354の出力は第1記憶部1102及び第2記憶部1103の出力に接続されており、各記憶部1102、1103から出力される信号電流にバイアス電流を加算できるようになっている。

20 第1バイアス・トランジスタQBF1351と第2バイアス・トランジスタQBS1352の各ゲートには同じバイアス電圧VB1251が印加されているので、そのトランジスタ・サイズに応じた電流を流すことができるようになっている。したがって、第1バイアス・ゲートGBF1353に第1バイアス・ゲート・パルス $\phi$ GBF1252が印加さ25 れたときに流れ出るバイアス電流の大きさと、第2バイアス・ゲートGBS1354に第2バイアス・ゲート・パルス $\phi$ GBS1253が印加

されて流れ出るバイアス電流の大きさの違いを与えることが可能となる。

また、第22図には、比較部1104並びに出力部1106の内部構成をそれぞれ詳細に示している。

5 比較部1104は、負荷トランジスタ(Q<sub>L</sub>)1341と、第1キャパシタ(C<sub>F</sub>)1342と、第1インバータ(INV<sub>F</sub>)1343と、第1インバータ短絡スイッチ(SW<sub>INV<sub>F</sub></sub>)1344と、第2キャパシタ(C<sub>S</sub>)1345と、第2インバータ(INV<sub>S</sub>)1346と、第2インバータ短絡スイッチ(SW<sub>INV<sub>S</sub></sub>)1347とで構成されている。そして、負荷トランジスタQ<sub>L</sub>1341には負荷パルス( $\phi$ Q<sub>L</sub>)  
10 1241が、第1インバータ短絡スイッチSW<sub>INV<sub>F</sub></sub>1344には第1インバータ短絡パルス( $\phi$ INV<sub>F</sub>)1242が、第2インバータ短絡スイッチSW<sub>INV<sub>S</sub></sub>1347には第2インバータ短絡パルス( $\phi$ INV<sub>S</sub>)1243が、比較部制御パルス1240(前述)としてそれぞれ  
15 与えられている。

そして、負荷トランジスタQ<sub>L</sub>1341は、第1記憶部1102、第2記憶部1103、及びバイアス部1105の各出力に接続されており、これらから出力される信号電流を入力するようになっている。

さて、図示の比較部1104は、いわゆるチョッパ型比較器の構成を  
20 とっており、比較器内部の動作点によるオフセットをリセットする期間に入力された信号と、リセットが完了した後に入力される信号の大小に応じた出力が得られるようになっている。

まず、負荷トランジスタQ<sub>L</sub>1341を負荷パルス $\phi$ Q<sub>L</sub>1241の印加によってオンに切り替えることにより、比較対象の信号電流("I<sub>Z</sub>"とする)  
25 の大きさに応じた電位V<sub>Z</sub>が第1キャパシタC<sub>F</sub>1342の第1インバータINV<sub>F</sub>1343と反対側の電極に発生する。

このとき、第1インバータ短絡パルス $\phi$  INV F 1 2 4 2の印加によって第1インバータ短絡スイッチ SW INV F 1 3 4 4をオンに切り替えることによって第1インバータ INV F 1 3 4 3を短絡すると、第1インバータ INV F 1 3 4 3の入力側及び出力側いずれの電位も同じ値  
5 (第1インバータ INV F 1 3 4 3の動作点電位  $V_{THF}$ ) となり、第1キャパシタ CF 1 3 4 2には  $V_Z - V_{THF}$  の電圧に相当する電荷が蓄積されることになる。

後段の第2インバータ INVS 1 3 4 6を第2インバータ短絡スイッチ SW INVS 1 3 4 7によって同時に短絡しておけば、第2インバー  
10 タ INVS 1 3 4 6の動作点電位を  $V_{THS}$  とすると、同様に、第2キャパシタ CS 1 3 4 5には  $V_{THF} - V_{THS}$  なる電圧に相当する電荷が蓄積されることになる。

そして、第1インバータ INV F 1 3 4 3の短絡を解除し、その後、第2インバータ INVS 1 3 4 6の短絡を解除しておく。

15 これに引き続き、比較するもう一方の信号電流 (" $I_Y$ " とする) を流して、再び負荷パルス $\phi$  QL 1 2 4 1を印加することによって、 $I_Y$  に応じた負荷電位  $V_Y$  を負荷トランジスタ QL 1 3 4 1に発生させる。これにより、第1キャパシタ CF 1 3 4 2の負荷トランジスタ QL 1 3 4 1側の電位は、先の  $V_Z$  から  $V_Y$  に変化することになる。

20 ここで、第1インバータ INV F 1 3 4 3の入力側容量が第1キャパシタ CF 1 3 4 2に比べて無視できるほど小さいと仮定すれば、 $V_Y$  が  $V_Z$  より大きければ、第1キャパシタ CF 1 3 4 2の第1インバータ INV F 1 3 4 3側電位は  $V_{THF}$  より上昇する。逆に、 $V_Y$  が  $V_Z$  より小さければ、第1インバータ INV F 1 3 4 3の入力側電位は下降する  
25 ことが判る。したがって、 $V_Y > V_Z$  のとき、第1インバータ INV F 1 3 4 3の出力はロー・レベルとなり、 $V_Y < V_Z$  ならば、第1インバ

ータ INV F 1 3 4 3 の出力はハイ・レベルとなる。

このような動作に連動して、第2キャパシタ C S 1 3 4 5 の両端電位も上昇若しくは下降するので、結局、比較部 1 1 0 4 の出力すなわち第2インバータ INV S 1 3 4 6 の出力は、比較する信号の大小に応じて  
5、 $I_Y > I_Z$  ( $V_Y > V_Z$ ) のときにハイ・レベルとなり、 $I_Y < I_Z$  ( $V_Y < V_Z$ ) のときにロー・レベルとなる。

出力部 1 1 0 6 は、出力アンプ (BAMP) 1 3 6 1 と、出力ゲート (GOUT) 1 3 6 2 とで構成されている。そして、出力部制御パルス 1 2 6 0 として、出力ゲート・パルス ( $\phi$  GOUT) 1 2 6 1 が与えら  
10 れている。

そして、出力ゲート・パルス  $\phi$  GOUT 1 2 6 1 が印加されたときに、比較部 1 1 0 4 の出力を適切なレベルに変換した信号レベルの画素出力 (POUT) 1 1 0 7 を垂直信号線 1 0 1 3 に出力するようになっている。

15 次に、アナログ信号である受光量をデジタル信号に変換する仕組みについて、第23図に示した明るさ変換タイミングチャートを参照しながら説明する。

まず、基準信号記憶期間においては、第1記憶部 1 1 0 2 に基準信号電流を記憶する動作を行う。

20 受光部 1 1 0 0 において、リセット電圧 1 2 0 3 を  $V_{REF}$  に設定した状態で、リセット・パルス  $\phi$  RST 1 2 0 1 を印加して、フローティング・ディフュージョン FD 1 3 0 3 の電位を  $V_{REF}$  に相当する値に設定する。

続いて、増幅部 1 1 0 1 において増幅部読出しパルス  $\phi$  AG を印加して増幅部読出し第1ゲート AG F 1 3 1 2 及び増幅部読出し第2ゲート AG S 1 3 1 3 を導通させ、フローティング・ディフュージョン FD 1  
25

303の電位によって決まる電流を増幅トランジスタQA1311に発生させ、さらにカレント・ミラー1314、1315によって増幅された電流 ( $I_{REF}$  とする) を得る。

5 このとき、第1記憶部1102で、第1記憶パルス $\phi MSWF1221$ と第1記憶ゲート・パルス $\phi MGF1222$ を同時に印加することによって、第1記憶ゲートMGF1323を介して第1記憶トランジスタQMF1321に上記電流  $I_{REF}$  が流れることになる。

その後、最初に第1記憶パルス $\phi MSWF1221$ をロー・レベルに落として第1記憶トランジスタQMF1321の短絡を解除し、続いて  
10 、第1記憶ゲート・パルス $\phi MGF1222$ を解除することによって、第1記憶トランジスタQMF1321に先の電流  $I_{REF}$  を記憶することができる。

以上で基準信号記憶期間の処理は完了である。

次に、第1フレームでの処理を行う。

15 受光部1100において、リセット電圧1203を  $V_{REF}$  よりも高い電源電圧  $V_{DD}$  に設定した状態で、リセット・パルス $\phi RST1201$ を印加して、フローティング・ディフュージョンFD1303の電位を  $V_{DD}$  に相当する値に設定しておく。

このとき、フォト・ダイオードPD1301では、先の基準信号記憶  
20 期間に受光して光電変換された電子が蓄積されているので、転送パルス $\phi TX1202$ を印加してフォト・ダイオードPD1301からフローティング・ディフュージョンFD1303に電子を転送することによって、フローティング・ディフュージョンFD1303をその電子数に応じた電位にすることができる。

25 続いて、増幅部1101において増幅部読出しパルス $\phi AG1211$ を印加して増幅部第1ゲートAGF13121及び増幅部第2ゲートA

GS 1 3 1 3 を導通させ、フローティング・ディフュージョン FD 1 3 0 3 の電位によって決まる電流を増幅トランジスタ QA 1 3 1 1 に発生させ、カレント・ミラー 1 3 1 4、1 3 1 5 によって増幅された電流（ $I_{F1}$  とする）を得る。

- 5      このとき、第 2 記憶部 1 1 0 3 で第 2 記憶パルス  $\phi$  MSWS 1 2 3 1 と第 2 記憶ゲート・パルス  $\phi$  MGS 1 2 3 2 を同時に印加することによって、第 2 記憶ゲート MGS 1 3 3 3 を介して第 2 記憶トランジスタ QMS 1 3 3 1 に上記電流  $I_{F1}$  が流れることになる。

- 10      その後、最初に第 2 記憶パルス  $\phi$  MSWS 1 2 3 1 をロー・レベルに落として第 2 記憶トランジスタ QMS 1 3 3 1 の短絡を解除し、続いて、第 2 記憶ゲート・パルス  $\phi$  MGS 1 2 3 2 を解除することによって第 2 記憶トランジスタ QMS 1 3 3 1 に先の電流  $I_{F1}$  を記憶することができる。

- 15      この後、第 1 記憶部 1 1 0 2 に記憶された基準信号  $I_{REF}$  と第 2 記憶部 1 1 0 3 に記憶された第 1 フレームにおける信号電流  $I_{F1}$  の比較動作を行う。

- 20      まず、第 2 記憶ゲート・パルス  $\phi$  MGS 1 2 3 2 と負荷パルス  $\phi$  QL 1 2 4 1 を印加することによって、第 2 記憶部 1 1 0 3 内の第 2 記憶トランジスタ QMS 1 3 3 1 に記憶しておいた  $I_{F1}$  を、比較部 1 1 0 4 内の負荷トランジスタ QL 1 3 4 1 に流す。

- 25      さらに、同時に第 2 バイアス・ゲート・パルス  $\phi$  GBS 1 2 5 3 を印加して第 2 バイアス・ゲート GBS 1 3 5 4 を導通し、 $V_{BIAS}$  1 2 5 1 を印加することによって第 2 バイアス・トランジスタ QBS 1 3 5 2 で発生するバイアス電流（ $I_{BS}$  とする）も負荷トランジスタ QL 1 3 4 1 に流しているため、負荷トランジスタ QL 1 3 4 1 には信号電流  $I_{F1}$  と  $I_{BS}$  によって決まる電圧  $Y_{F1}$  が発生する。



このとき、第1インバータ短絡パルス $\phi$  INV F 及び第2インバータ短絡パルス $\phi$  INV S を印加することによって、第1インバータ INV F 1 3 4 3 と第2インバータ INV S 1 3 4 6 の入出力を同時に短絡し、比較部 1 1 0 4 の動作点オフセットをリセットしておく。

- 5 この時点で、第1キャパシタ C F 1 3 4 2 の両端には、 $Y_{FI} - V_{THF}$ なる電圧がかかることになる。

- 次に、第1記憶ゲート・パルス $\phi$  M G F 1 2 2 2 と負荷パルス $\phi$  Q L 1 2 4 1 を同時に印加することによって、第1記憶部 1 1 0 2 内の第1記憶トランジスタ Q M F 1 3 2 1 に記憶されていた基準信号電流  $I_{REF}$  を  
10 比較部 1 1 0 4 内の負荷トランジスタ Q L 1 3 4 1 に流す。

このとき、同時に第1バイアス・ゲート・パルス $\phi$  G B F 1 2 5 2 を印加して第1バイアス・ゲート G B F 1 3 5 3 を導通し、 $V_{BIAS}$  1 2 5 1 によって第1バイアス・トランジスタ Q B F 1 3 5 1 で発生するバイアス電流 (" $I_{BF}$ " とする) も負荷トランジスタ Q L 1 3 4 1 に流す。

- 15 負荷トランジスタ Q L 1 3 4 1 には、基準信号電流  $I_{REF}$  とバイアス電流  $I_{BF}$  が同時に流れることによって、電圧  $Y_{REF}$  が発生する。

- 先に示した比較器の動作原理により、 $Y_{FI}$  と  $Y_{REF}$  の大小関係に応じたレベルが比較部 1 1 0 4 の出力となり、出力部 1 1 0 6 で出力アンプ 1 3 6 1 を通して、出力ゲート・パルス $\phi$  G O U T 1 2 6 1 を印加することによって、画素出力 P O U T 1 1 0 7 として垂直信号線 1 0 1 3 に出力される  
20

すなわち、 $I_{FI} > I_{REF}$  ( $Y_{FI} > Y_{REF}$ ) ならば、画素出力 P O U T 1 1 0 7 はロー・レベルとなり、また、 $I_{FI} < I_{REF}$  ( $Y_{FI} < Y_{REF}$ ) ならば画素出力 P O U T 1 1 0 7 はハイ・レベルとなる。

- 25 第2フレーム以降は、リセット・パルス $\phi$  R S T 1 2 0 1 によるフローティング・ディフュージョン F D 1 3 0 3 のリセット動作をしない。

したがって、それまでのフレームで蓄積された電子数に、そのフレームで光電変換により発生した電子が追加されて決まる電位がフローティング・ディフュージョンFD1303に生じることになる。

例えば、第2フレームでは、第1フレームでフローティング・ディフュージョンFD1303に蓄積された電子に加えて、第1フレーム期間中に光電変換によって発生した電子を転送パルス $\phi_{TX1202}$ の印加によってフローティング・ディフュージョンFD1303に転送し、その合算された電子数に応じてフローティング・ディフュージョンFD1303の電位が決定される。

10     そして、このように決定された電位によって増幅部1101内のカレント・ミラー回路から得られる電流 $I_{F2}$ （第2フレーム）、 $I_{F3}$ （第3フレーム）、 $I_{F4}$ （第4フレーム）、...を第2記憶部1103内の第2記憶トランジスタQMS1331に記憶することになる。

基準電流 $I_{REF}$ との比較動作は第1フレームの動作と同じである。

15     以上で説明した動作は、基準レベルを固定にしたときに受光量をフレームの数で表されるデジタル量に変換する場合を示している。

上記では、基準レベルを、基準信号記憶期間におけるリセット電圧 $V_{R1203}$ の値によって設定し、さらに信号電流に付加されるバイアス電流をバイアス部1105内の第1バイアス・トランジスタQBF1351又は第2バイアス・トランジスタQBS1352のうちいずれから供給するかで決定しているが、勿論バイアス電流をまったく加えなくてもデジタル変換は可能である。

すなわち、第1バイアス・ゲート・パルス $\phi_{GBF1252}$ や第2バイアス・ゲート・パルス $\phi_{GBS1253}$ をロー・レベルに固定しておき、 $I_{BF} = I_{BS} = 0$ として、 $V_{REF}$ と $V_{DD}$ の差に相当する電流の差だけが基準信号レベルを決定することになる。

一方、逆にリセット電圧  $V_{R1203}$  を  $V_{DD}$  に固定したまま（すなわちすべてのフレームで一定）、バイアス電流の制御だけでデジタル変換することも可能である。その場合は、 $I_{BF}$  と  $I_{BS}$  の差が、 $V_{REF}$  と  $V_{DD}$  に相当する電流の差になるようにそれぞれを設定すればよい。

5     さて、いずれにしても上記動作では、第16図を参照しながら既に説明したように、非常に明るい光から非常に暗い光の全ての光を表現できるとは限らない。そこで、本実施形態においてダイナミック・レンジを拡張する方法について、第24図並びに第25図を参照しながら以下に説明する。

10    本実施形態では、第18図に示したような単位画素の回路構成において、バイアス電流が時間とともに変化するようにして、基準信号が第17図に示したように時間的变化をするのと同様の効果を付与することによって、ダイナミック・レンジの拡張を図っている。

15    そのために、第24図に示すように、バイアス電圧  $V_{B1251}$  を最初のフレームで  $V_B = V_{BI}$  としておき、フレーム毎、若しくは数フレーム毎に徐々にその値を増加させて、最終フレーム  $F_{MAX}$  で  $V_B = V_{BM}$  となるように制御する。一方、リセット電圧  $V_{R1203}$  は、 $V_{DD}$  のままで最終フレームまで一定とする。

20    第25図は、第23図に例示したものとほぼ同じタイミングチャートであるが、基準信号記憶期間でも、リセット電圧  $V_{R1203}$  は  $V_{DD}$  となっている。そして、第1記憶部1102にこの状態で基準信号を記憶する。

25    第1フレーム以降において、第23図と異なるところは、第1記憶部1102の信号を読み出して、第2記憶部1103に記憶されている受光強度に応じた信号と比較する際に、第1バイアス・ゲート・パルス  $\phi_{GBF1252}$  はハイ・レベルになって、第1バイアス・トランジスタ

Q B F 1 3 5 1からのバイアス信号も加算するが、第2バイアス・ゲート・パルスφ G B S 1 2 5 3はロー・レベルのままとし、第2バイアス・トランジスタQ B S 1 3 5 2で発生するバイアス電流は加算しないようにする。このような駆動制御を行うことによって、バイアス電圧V B 1 2 5 1を変化させて第1バイアス・トランジスタQ B F 1 3 5 1で発生するバイアス電流を可変とし、フレーム毎若しくは数フレーム毎に基準信号レベルを変えることが可能となる。

したがって、第17図、並びに上記の(式17)～(式22)に示すような原理により、ダイナミック・レンジの広がった撮像結果が得られることになる。

最後に、第13図並びに第14図を参照しながら、各画素出力の処理方法について説明する。

画素出力P O U T 1 1 0 7の信号レベルは、フレーム毎に垂直信号線1 0 1 3を通して水平出力回路1 0 3 0へ転送される。水平出力回路1 0 3 0では、各画素列から並列的に転送されてきた画素出力P O U T 1 1 0 7をシリアルに変換して撮像素子の外部に出力するか、若しくは各画素列毎にそのまま並列に撮像素子の外部に出力する2通りの出力形態が考えられる。

撮像素子1 0 0 1から出力された画素信号は、信号処理部1 0 0 3に入力されて、画素毎にその信号がハイ・レベルかロー・レベルかをチェックする。そして、ハイ・レベルであれば、そのときのフレーム番号をフレーム・メモリ1 0 0 4内に画素毎に用意されたアドレスに書き込むようになっている。但し、書込みは最初にハイ・レベルになったときだけとし、2回目以降は書き込まないようになっている。そして、このときに書き込まれたフレーム番号こそが、明るさを表現するための値となる。

この明るさを表示部 1 0 0 6 に表示するためには、次のような手順に従う。

まず、フレーム・メモリ 1 0 0 4 に記憶されたフレーム番号を画素毎に読み出して、信号処理部 1 0 0 3 において、その値を上記の（式 1 7 5）～（式 2 2）を用いて変換する。この処理はデジタル信号の演算機能を用いれば簡単に実現できりことは当業者には理解できるであろう。そして、その変換されたデジタル信号を、デジタル・アナログ変換部 1 0 0 5 に画素毎に順次転送して、表示部 1 0 0 6 に適したアナログ信号に変換する。

10     これは、例えば N T S C (National Television System Committee) 信号や V G A (Video Graphic Array) 信号などの標準的な映像信号に変換することを意味する。

そして、デジタル・アナログ変換部 1 0 0 5 からの出力は表示部 1 0 0 6 で表示される。

15     〔追補〕

以上、特定の実施例を参照しながら、本発明について詳解してきた。しかしながら、本発明の要旨を逸脱しない範囲で当業者が該実施例の修正や代用を成し得ることは自明である。すなわち、例示という形態で本発明を開示してきたのであり、限定的に解釈されるべきではない。本発明  
20     の要旨を判断するためには、特許請求の範囲の欄を参酌すべきである。

以上詳記したように、本発明によれば、小型・軽量に構成された優れた撮像装置及びその駆動制御方法を提供することができる。

また、本発明によれば、C M O S (Complementary Metal-Oxide Semi  
25     conductor：相補性金属酸化膜半導体)などの半導体製造技術を用いて実現される、優れた撮像装置及びその駆動制御方法を提供することがで

きる。

また、本発明によれば、各画素における検出信号を処理するためのさまざまな回路モジュールを同じチップ上に集積してなる、優れた撮像装置及びその駆動制御方法を提供することができる。

- 5      また、本発明によれば、フォト・ダイオード出力に対するA/D (Analog-to-Digital) 変換処理並びに他の1以上の演算処理を同じチップ上の回路モジュールを用いて実現することができる、優れた撮像装置及びその駆動制御方法を提供することができる。

- 10      本発明によれば、被写体の明るさの時間的な変化を演算する回路構成を持つ撮像素子を用いて、被写体の明るさというアナログ量をデジタル量に変換することができる。したがって、専用のアナログ-デジタル変換回路を搭載する必要がなく、同等の機能を持つ他の方式に比べて回路規模の抑制を行うことができる。

- 15      また、本発明によれば、アナログ量からデジタル量に変換するA/D変換処理において、基準信号レベルと被写体の明るさを積分する時間刻みを調整することによって、いわゆるダイナミック・レンジの広い撮像を実現することができる。

- 20      また、本発明によれば、各画素の検出信号をアナログ量からデジタル量へ変換する際に、被写体の明るさを時間的に積分することによって、いわゆるランダム・ノイズに強い撮像を実現することができる。

- 25      また、本発明によれば、受光信号強度をアナログ値からデジタル値に変換する際に、同時にダイナミック・レンジを拡大して、暗い領域から明るい領域に至るまで再現した画像を得ることができる、優れた撮像装置及びその駆動制御方法を提供することができる。そして、各画素に供給する駆動パルスのタイミングやパルスの有り無しを変更することによって、受光信号強度を表現する方法を自由に変更することができる。

## 請求の範囲

1. 被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記記憶部からの電流出力を電圧に変換する負荷部と、前記負荷部の出力信号を演算する演算部と、前記演算部における演算結果を外部に出力する出力部と、前記各部の駆動を制御する駆動制御部を具備し、

前記駆動制御部は、1つの記憶部に基準信号レベルに相当する電流信号を記憶させるとともに、他の記憶部に被写体の明るさに相当する電流信号を時間的に積分しながら記憶させ、各記憶部から読み出された電流信号に基づいて基準信号レベルと被写体の明るさを前記演算部において比較処理せしめる駆動制御モードを有し、

前記演算部は、被写体の明るさ信号が基準信号レベルを越えた瞬間に識別信号を出力することを特徴とする撮像装置。

- 15 2. 特許請求の範囲第1項において、

前記駆動制御部は、前記複数の記憶部の各々に異なる時刻における被写体の明るさに相当する電流信号を記憶させるとともに、各記憶部から読み出された電流信号に基づいて各時刻における被写体の明るさを前記演算部において比較処理せしめる他の駆動制御モードを有し、

20 前記演算部は、被写体の明るさが変化した瞬間に識別信号を出力することを特徴とする撮像装置。

3. 特許請求の範囲第1項において、

前記増幅部は、ゲート電極同士を対向して接続したミラー・トランジスタを含み、カレント・ミラーの原理に従い電流信号を増幅することを  
25 特徴とする撮像装置。

4. 特許請求の範囲第1項において、

前記記憶部は、カレント・コピアの原理に従って電流信号を記憶することを特徴とする撮像装置。

5. 特許請求の範囲第1項において、

前記の各部を画素毎に有し、多数の画素を縦横のマトリックス状に配置した光学エリアと、該光学エリア内に配置された各画素を駆動する信号を発生する駆動回路と、各画素からの出力信号を外部に出力する出力回路とが同一回路チップ上に実装されている、ことを特徴とする撮像装置。

6. 被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記記憶部からの電流出力を電圧に変換する負荷部と、前記負荷部の出力信号を演算する演算部と、前記演算部における演算結果を外部に出力する出力部とで構成される撮像装置の駆動制御方法であって、

15 (a) 1つの記憶部に基準信号レベルに相当する電流信号を記憶するステップと、

(b) 他の記憶部に被写体の明るさに相当する電流信号を時間的に積分しながら記憶するステップと、

(c) 各記憶部から読み出された電流信号に基づいて基準信号レベルと被写体の明るさを前記演算部において比較処理するステップと、

20 (d) 被写体の明るさ信号が基準信号レベルを越えた瞬間に前記演算部が識別信号を出力するステップと、

で構成される駆動制御モードを実現して、前記ステップ(d)における識別信号出力によって計測される被写体の明るさが基準信号レベルを越えるまでの経過時間を計測し、該計測結果に基づきアナログ量である被写体の明るさをデジタル量に変換することを特徴とする撮像装置の駆動



制御方法。

7. 特許請求の範囲第6項において、

さらに、

(p) 前記複数の記憶部の各々に異なる時刻における被写体の明るさに  
5 相当する電流信号を記憶するステップと、

(q) 各記憶部から読み出された電流信号に基づいて各時刻における被  
写体の明るさを前記演算部において比較処理するステップと、

(r) 前記演算部が被写体の明るさが変化した瞬間に識別信号を出力す  
るステップと、

10 で構成される他の駆動制御モードを実現して、被写体の明るさの時間的  
な変化を高速に演算することを特徴とする撮像装置の駆動制御方法。

8. 特許請求の範囲第6項において、

前記増幅部は、ゲート電極同士を対向して接続したミラー・トランジ  
スタを含み、カレント・ミラーの原理に従い電流信号を増幅することを  
15 特徴とする撮像装置の駆動制御方法。

9. 特許請求の範囲第6項において、

前記記憶部は、カレント・コピアの原理に従って電流信号を記憶する  
ことを特徴とする撮像装置の駆動制御方法。

10. 特許請求の範囲第6項において、

20 前記の各部は同一回路チップ上に実装されていることを特徴とする撮  
像装置の駆動制御方法。

11. 被写体の明るさに応じた電気信号を発生する受光部と、前記受光  
部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気  
信号を電流信号として記憶する複数の記憶部と、前記の各記憶部から読  
25 み出した信号を入力して比較する比較部と、前記比較部における比較結  
果を画素信号として出力する出力部とを具備し、

1つの記憶部に基準信号レベルに相当する電流信号を記憶するとともに、他の記憶部に被写体の明るさに相当する電流信号を記憶し、

前記比較部は、該1つの記憶部から入力される基準信号レベルを時間的に徐々に上昇させながら他の記憶部から入力される信号と比較する、

5 ことを特徴とする撮像装置。

12. 被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記の各記憶部から読み出した信号を入力して比較する比較部と、前記比較部に入力される各  
10 信号に対してバイアス信号を付加するバイアス部と、前記比較部における比較結果を画素信号として出力する出力部とを具備し、

1つの記憶部に基準信号レベルに相当する電流信号を記憶するとともに、他の記憶部に被写体の明るさに相当する電流信号を記憶し、

前記バイアス部は、該1つの記憶部から前記比較部に入力される信号  
15 に対して基準信号レベルが時間的に徐々に上昇するようにバイアス信号を付加する、

ことを特徴とする撮像装置。

13. 特許請求の範囲第12項において、

前記増幅部は、ゲート電極同士を対向して接続したミラー・トランジスタを含み、カレント・ミラーの原理に従い電流信号を増幅することを  
20 特徴とする撮像装置。

14. 特許請求の範囲第12項において、

前記記憶部は、カレント・コピアの原理に従って電流信号を記憶することを特徴とする撮像装置。

25 15. 特許請求の範囲第12項において、

前記の各部を画素毎に有し、多数の画素を縦横のマトリックス状に配

置した光学エリアと、該光学エリア内に配置された各画素を駆動する信号を発生する駆動回路と、各画素からの出力信号を外部に出力する出力回路とが同一回路チップ上に実装されている、

ことを特徴とする撮像装置。

- 5 16. 被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部とを備え、前記の各記憶部から読み出した信号の比較結果を画素信号として出力するタイプの撮像装置の駆動制御方法であって、
- 10 (a) 1つの記憶部に基準信号レベルに相当する電流信号を記憶するステップと、
- (b) 他の記憶部に被写体の明るさに相当する電流信号を記憶するステップと、
- (c) 該1つの記憶部から読み出される基準信号レベルを時間的に徐々に上昇させるステップと、
- 15 (d) 前記ステップ(c)により時間的に徐々に上昇された基準信号レベルと該他の記憶部から読み出される電流信号を比較するステップと、
- (e) 前記ステップ(d)による比較結果を画素出力として出力するステップと、
- 20 を具備することを特徴とする撮像装置の駆動制御方法。

17. 特許請求の範囲第16項において、

前記増幅部は、ゲート電極同士を対向して接続したミラー・トランジスタを含み、カレント・ミラーの原理に従い電流信号を増幅することを特徴とする撮像装置の駆動制御方法。

25 18. 特許請求の範囲第16項において、

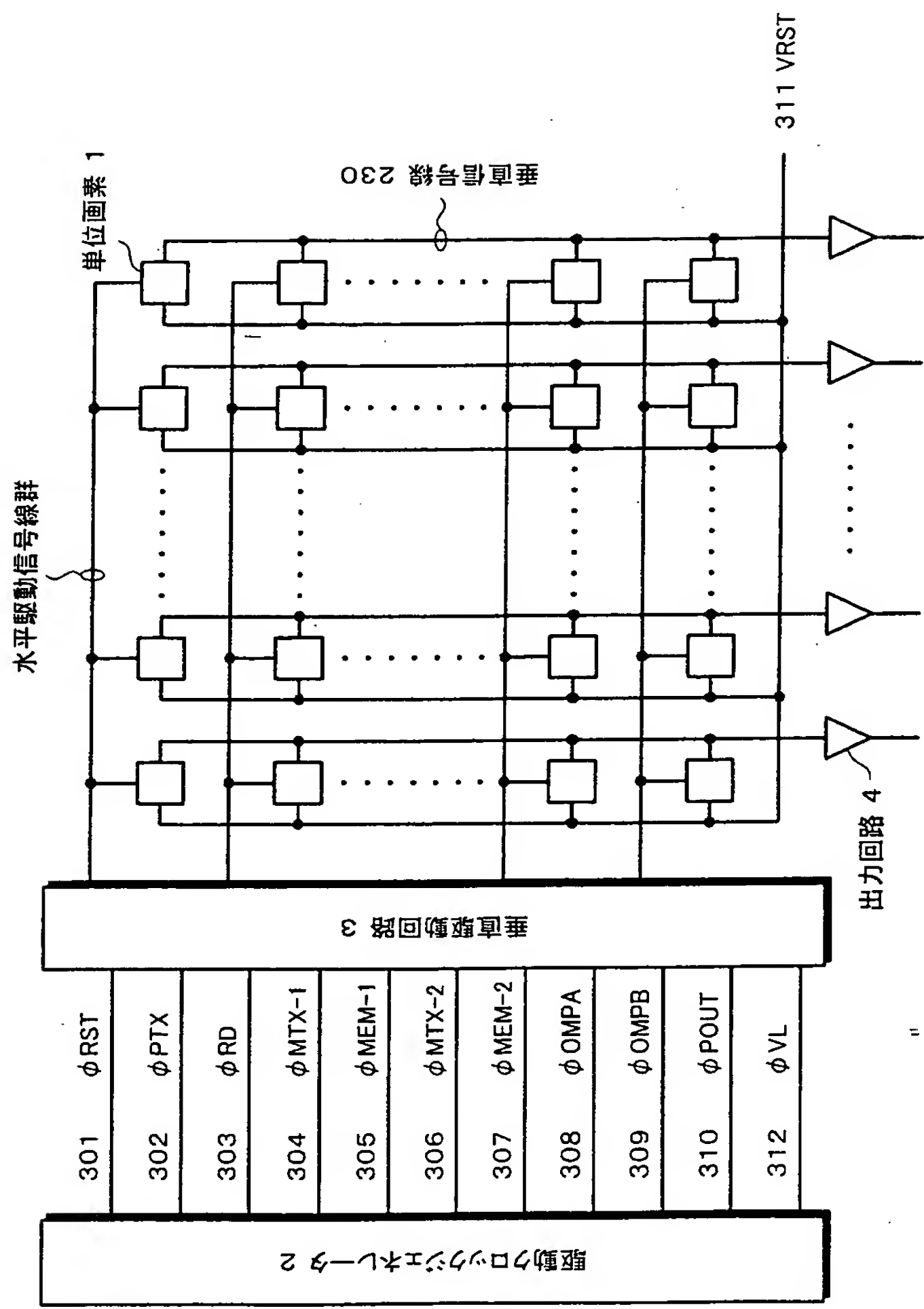
前記記憶部は、カレント・コピアの原理に従って電流信号を記憶する

ことを特徴とする撮像装置の駆動制御方法。

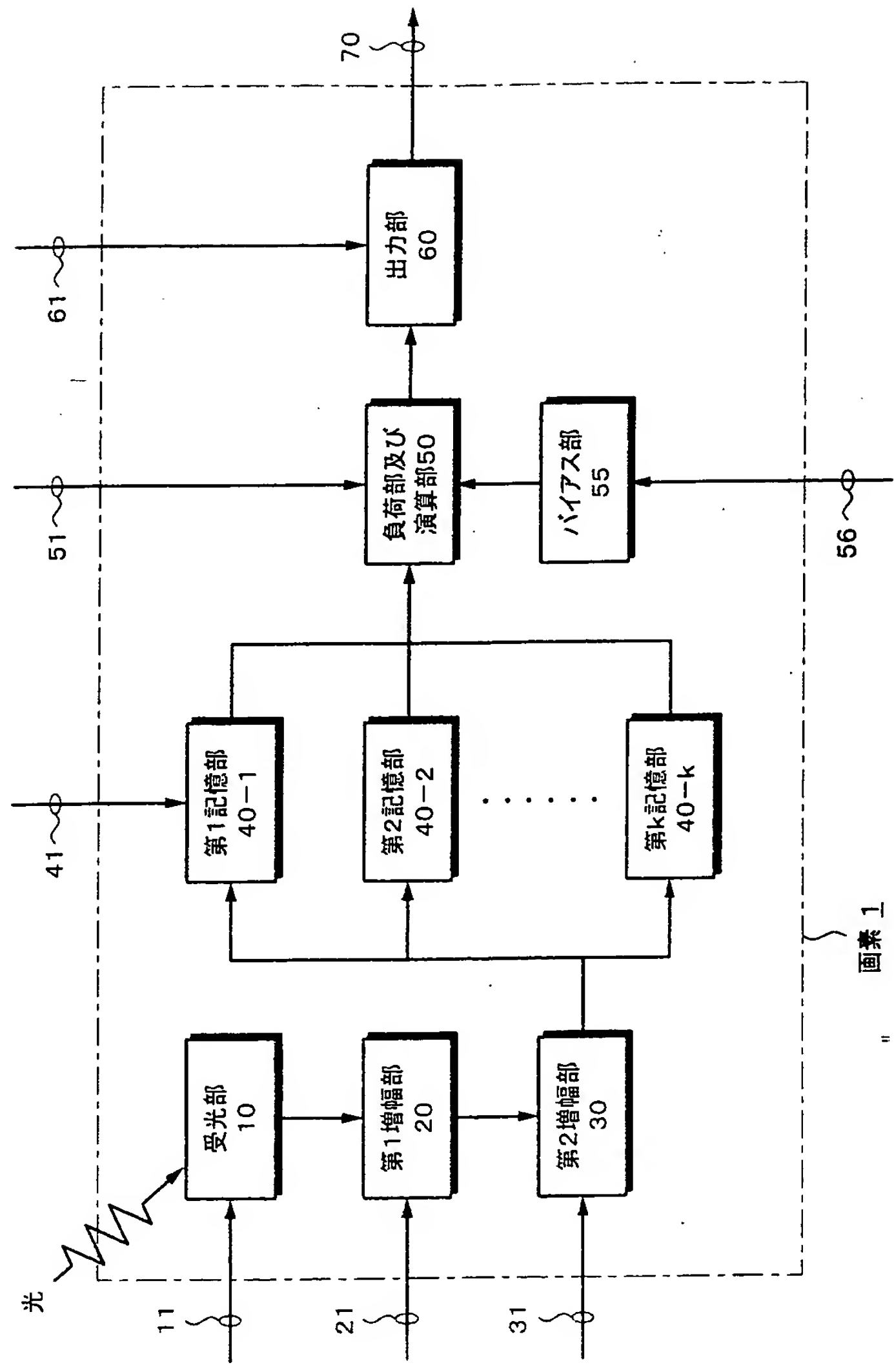
## 要 約 書

撮像装置は、被写体の明るさに応じた電気信号を発生する受光部と、受光信号を増幅する増幅部と、増幅電気信号を電流信号として記憶する複数の記憶部と、各記憶部の電流出力を電圧に変換する負荷部と、負荷部5 部の出力信号を演算する演算部と、演算結果を外部出力する出力部と、各部の駆動を制御する駆動制御部とで構成される。1つの記憶部に記憶される基準信号レベルと、他の記憶部に時間的に積分しながら記憶される被写体の明るさを比較して、明るさ信号が基準信号を越えた時間に基づいて被写体の明るさをAD変換する。

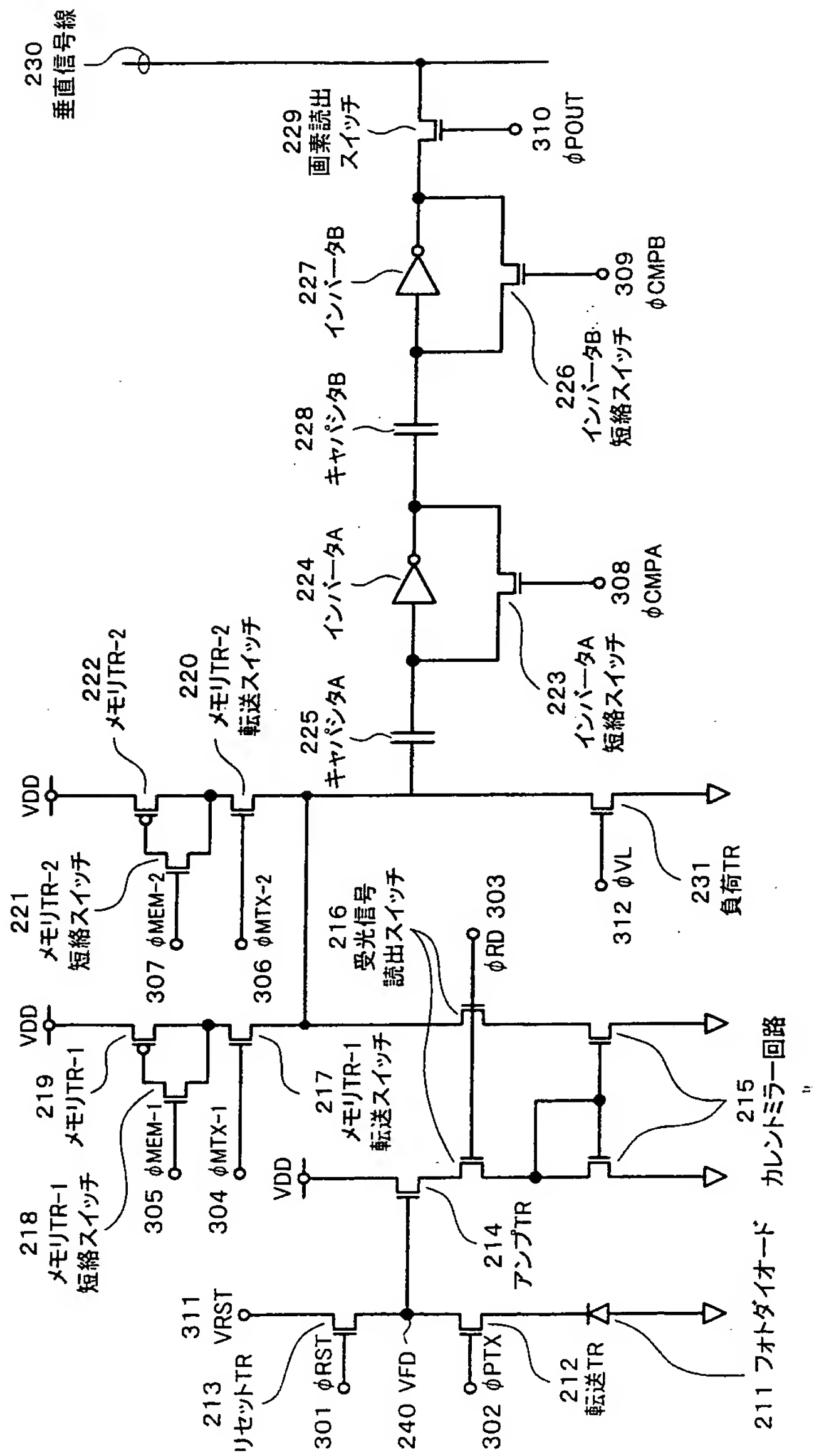
第1図



第2図

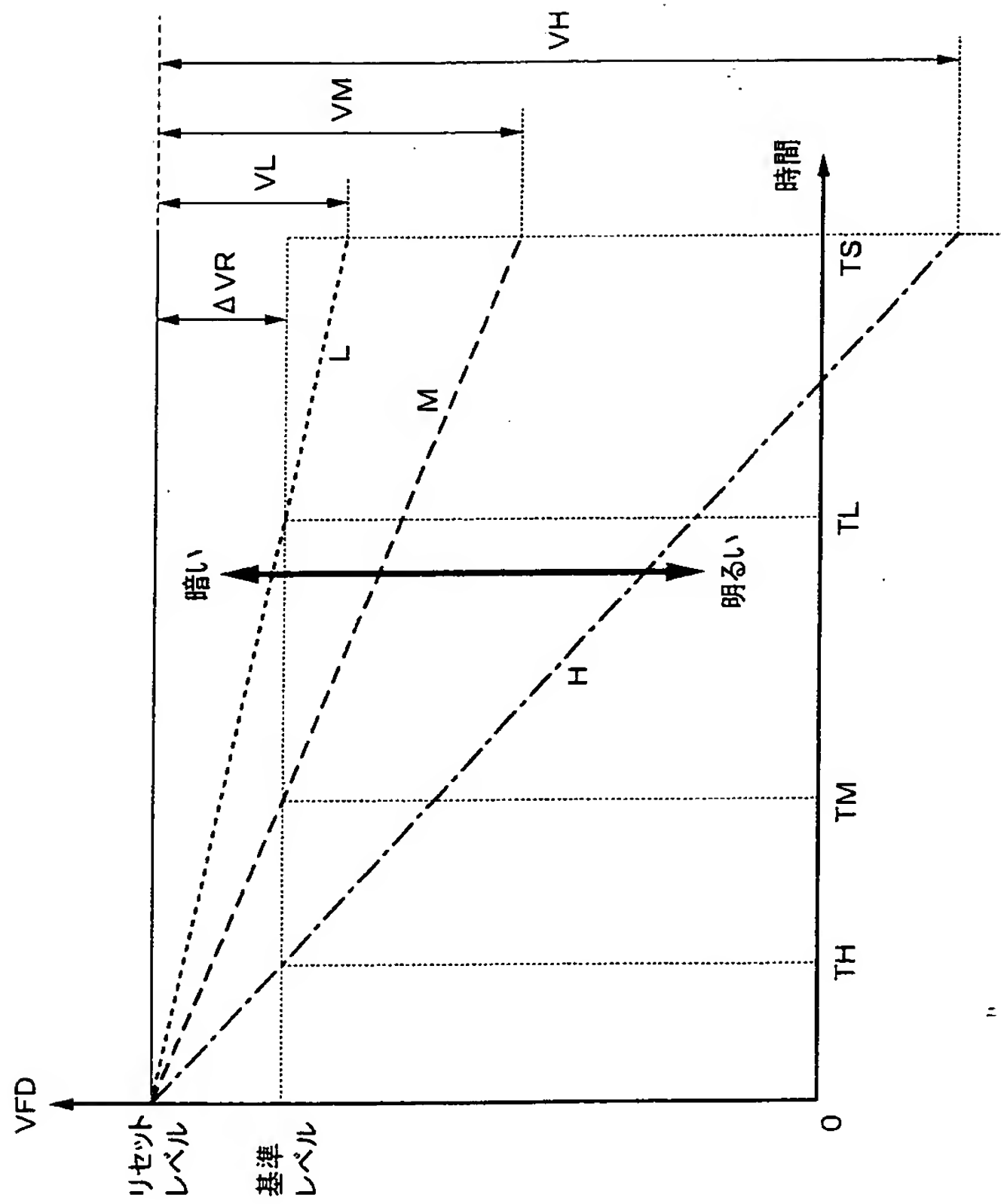


第3図

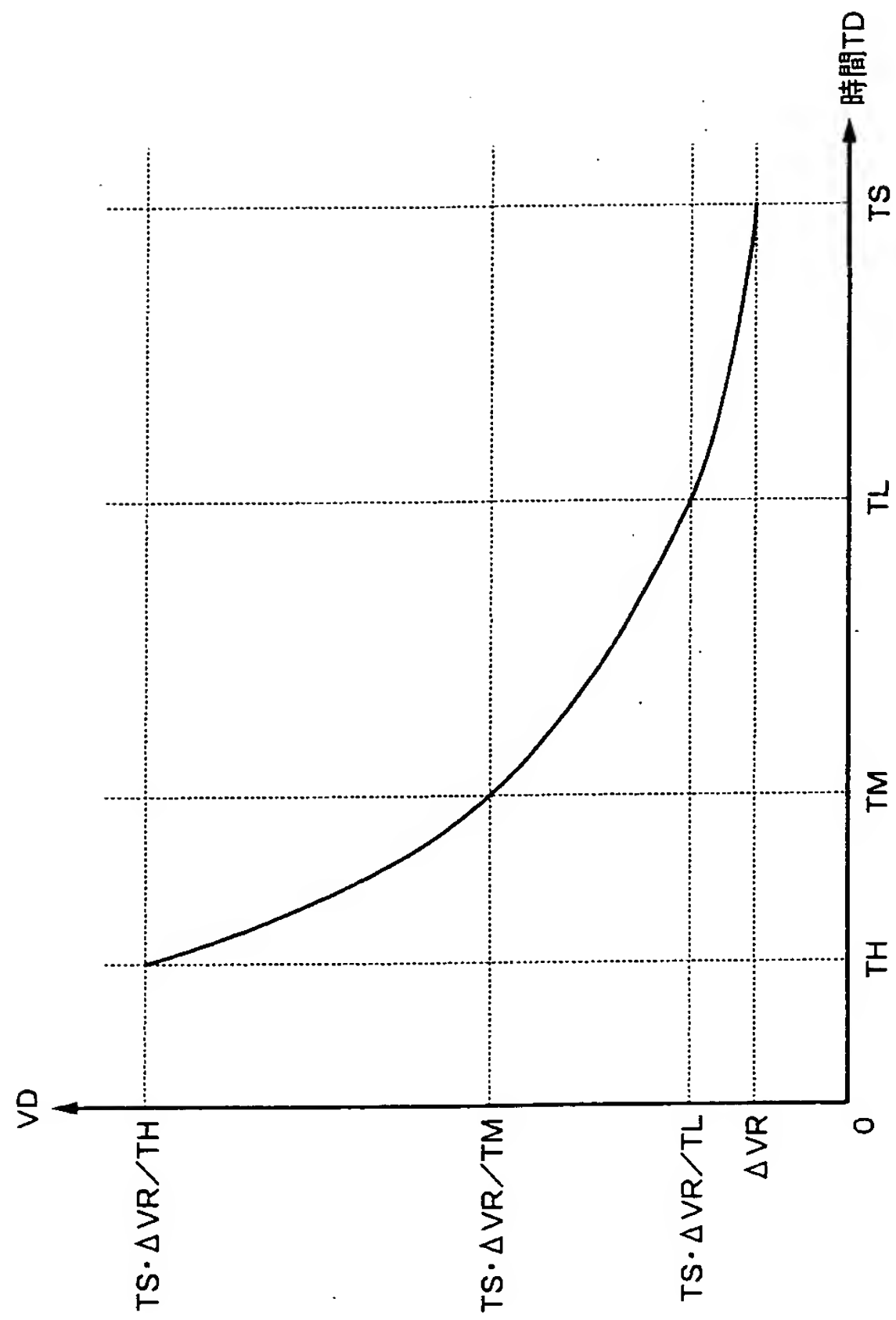




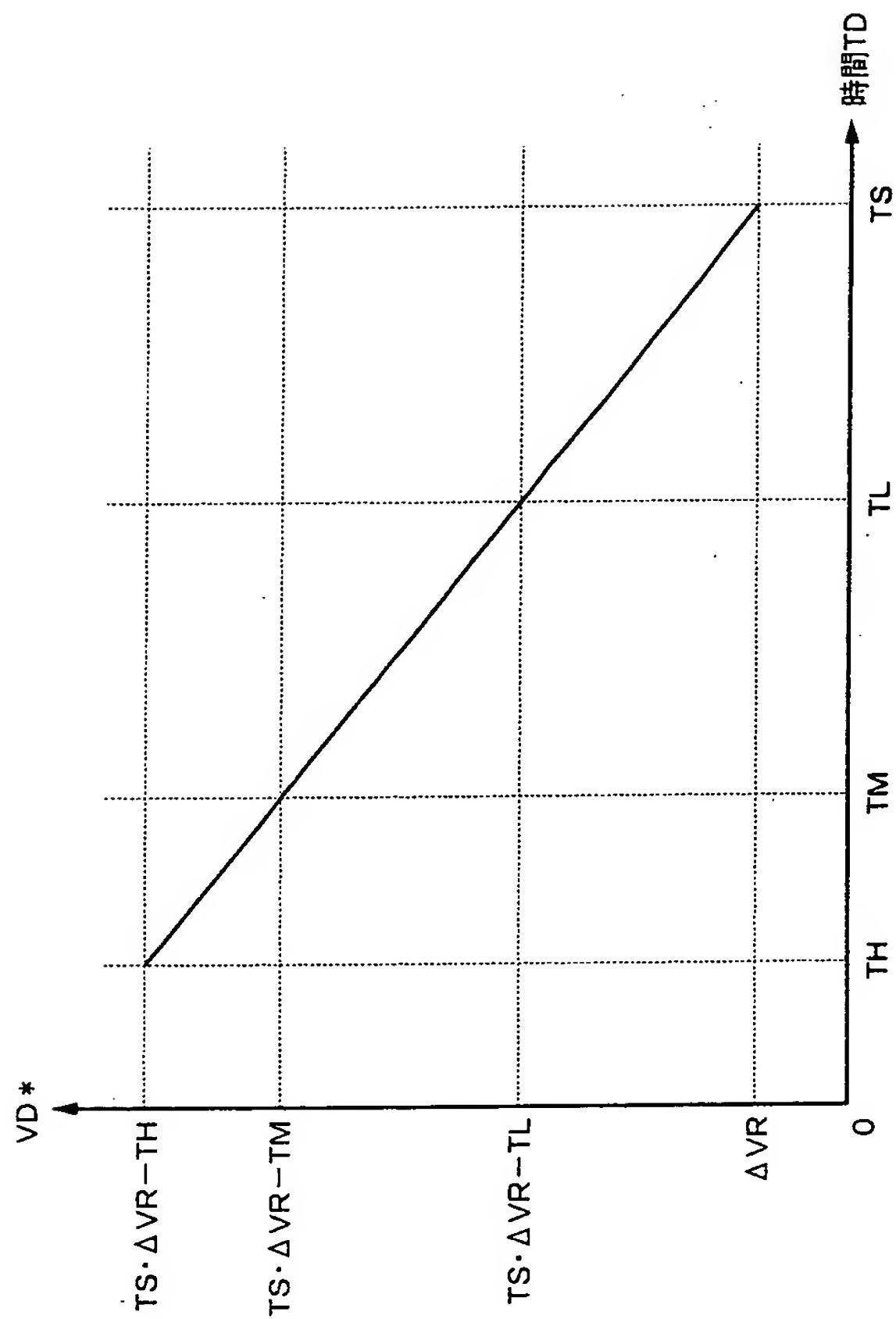
第4圖



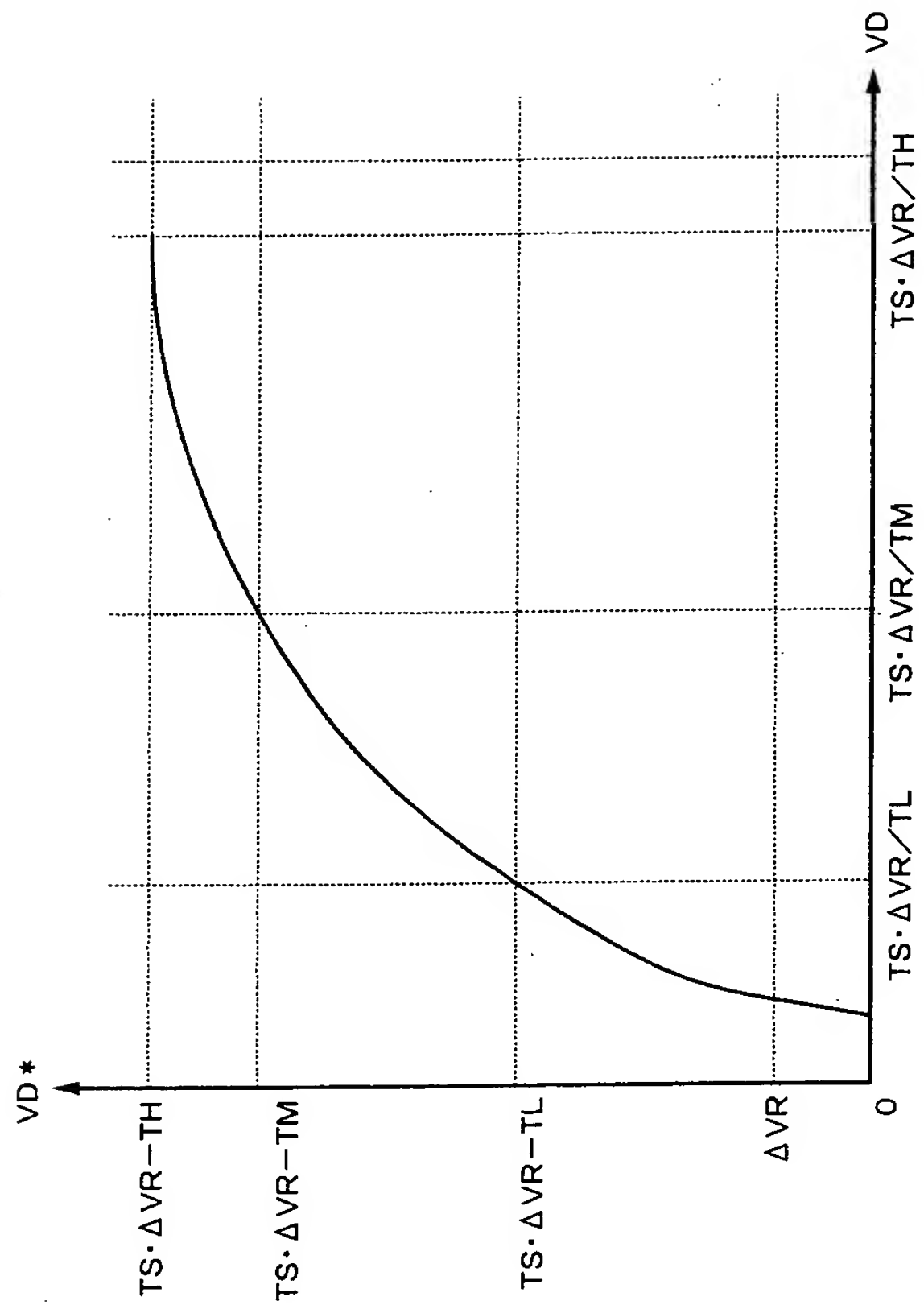
第5図



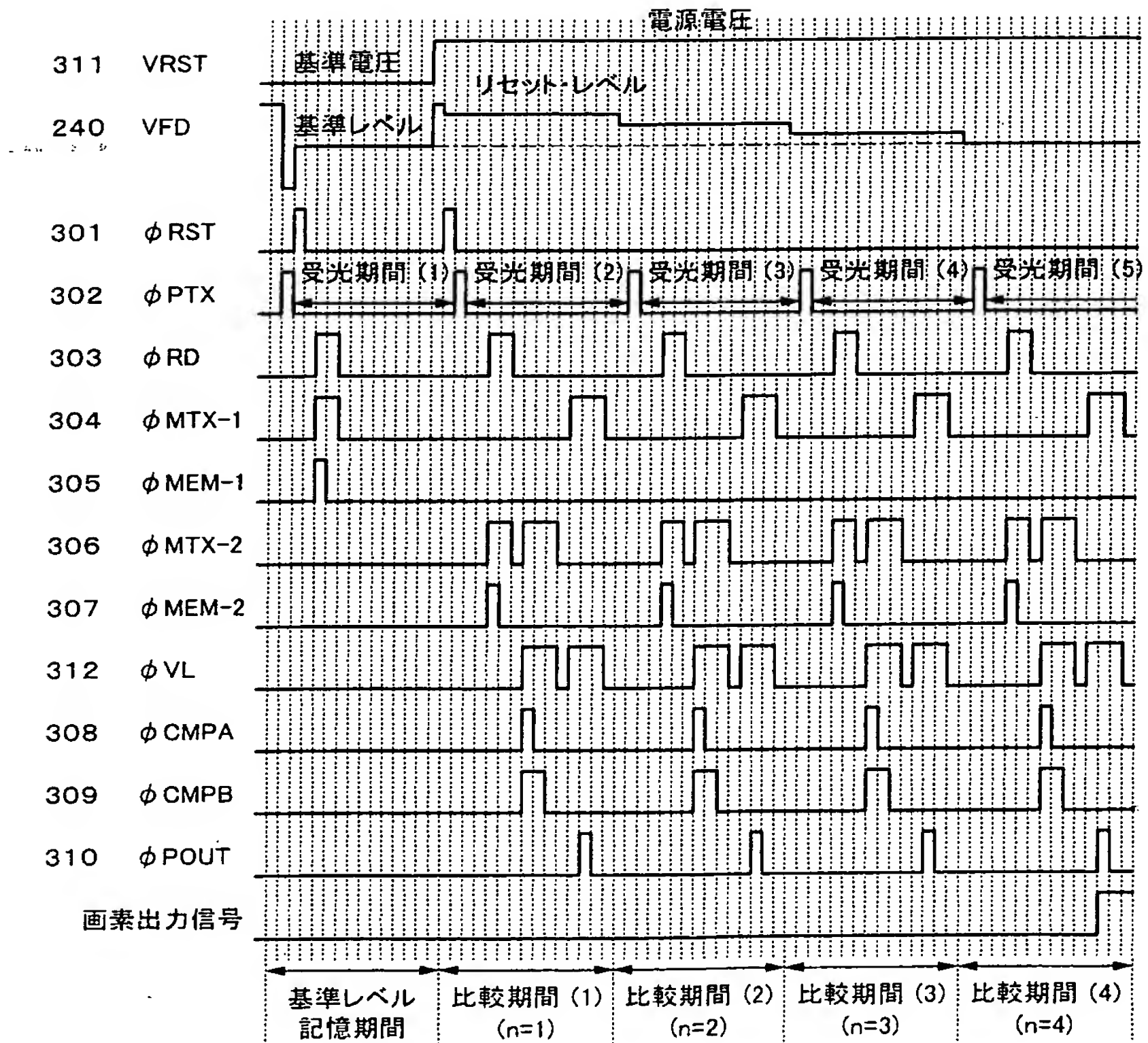
第6図



第7図



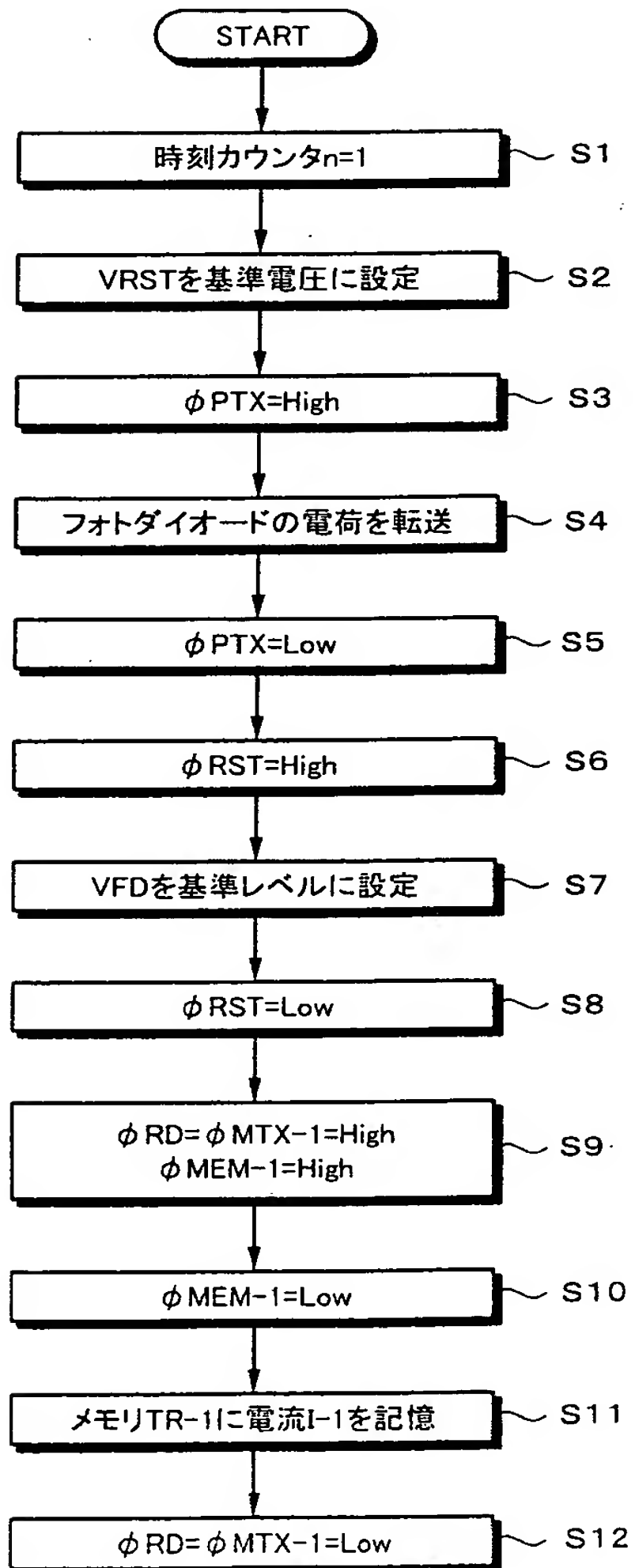
## 第8図



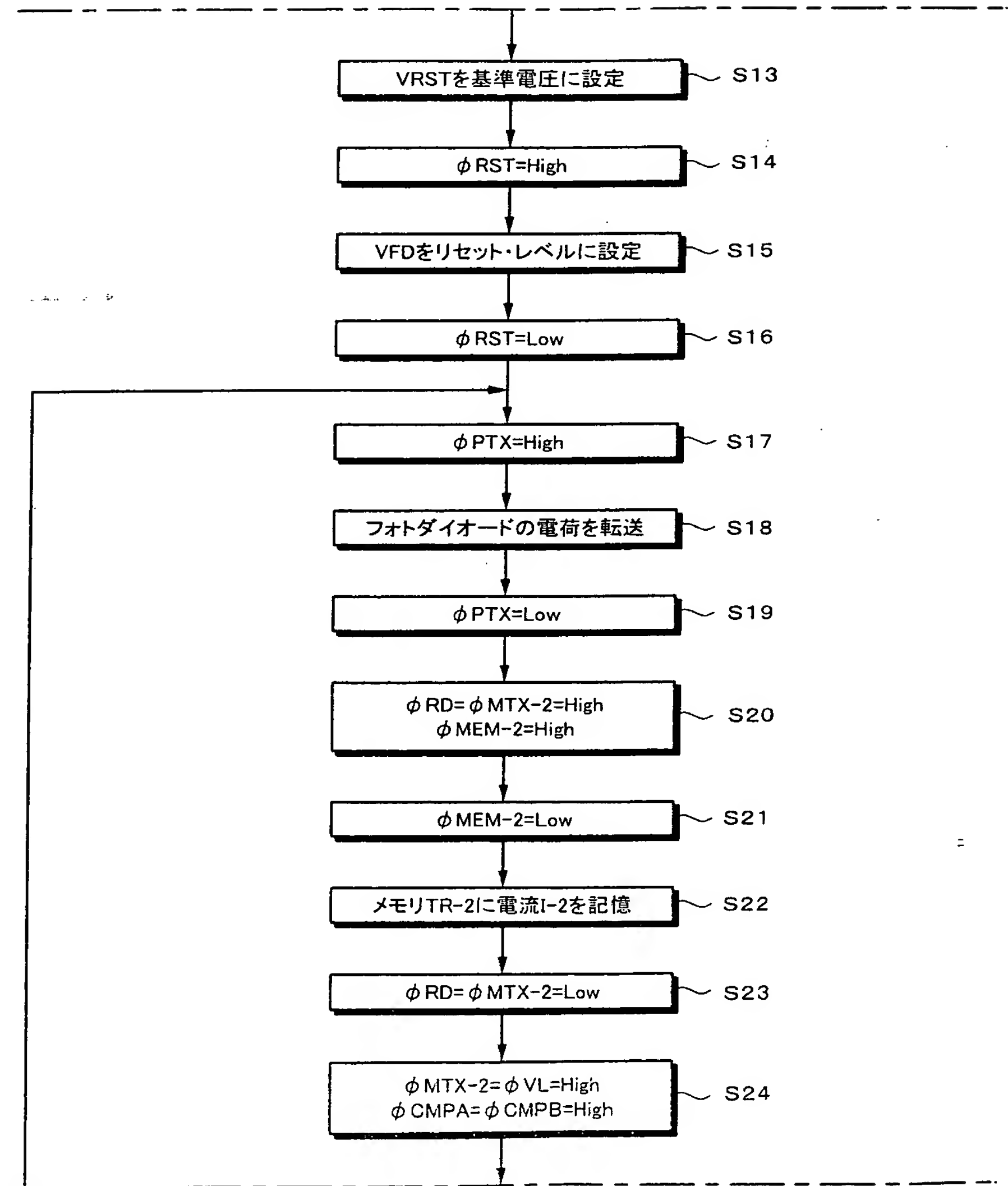
# 第9図A

第9図

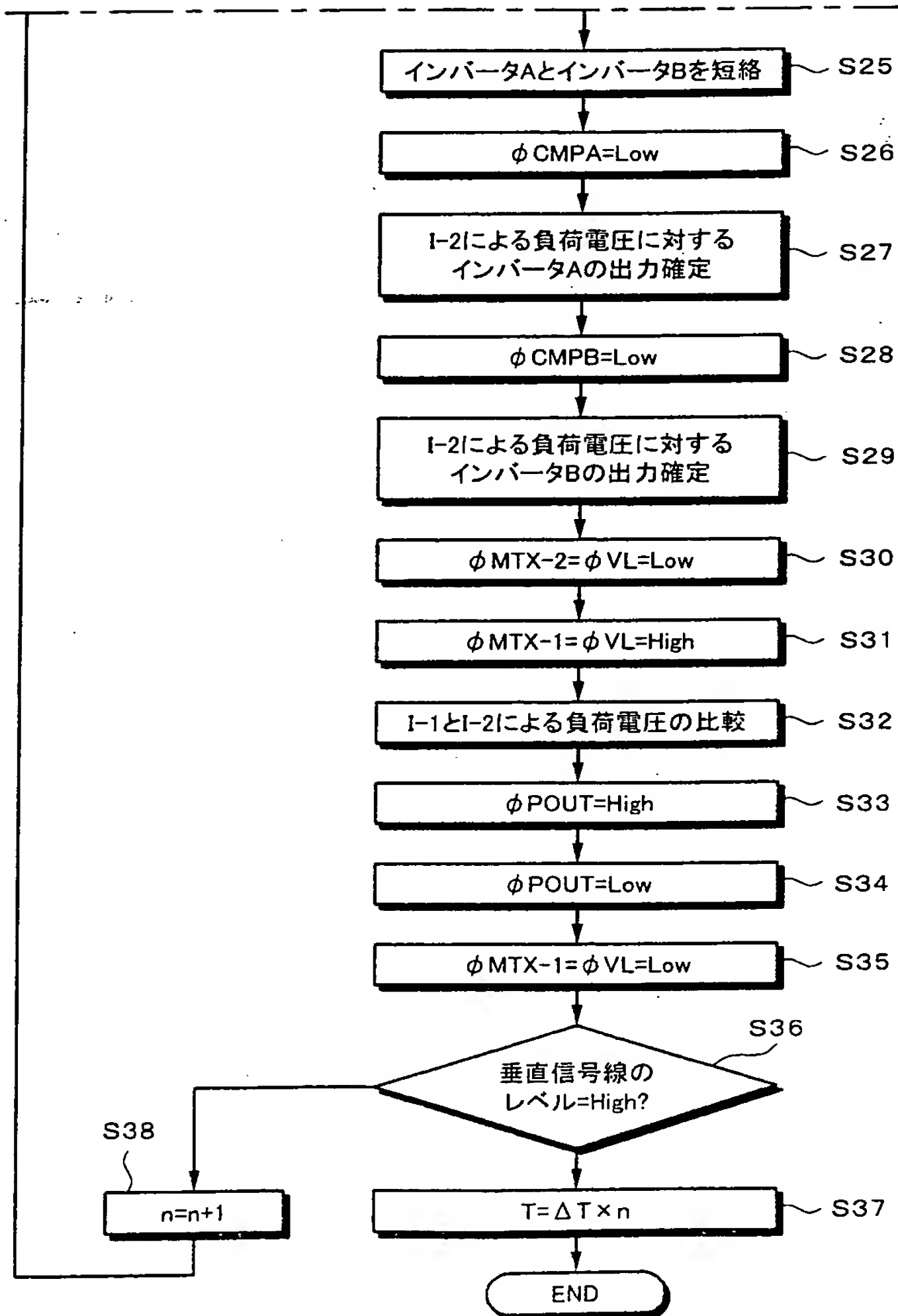
第9図A
第9図B
第9図C



## 第9図B

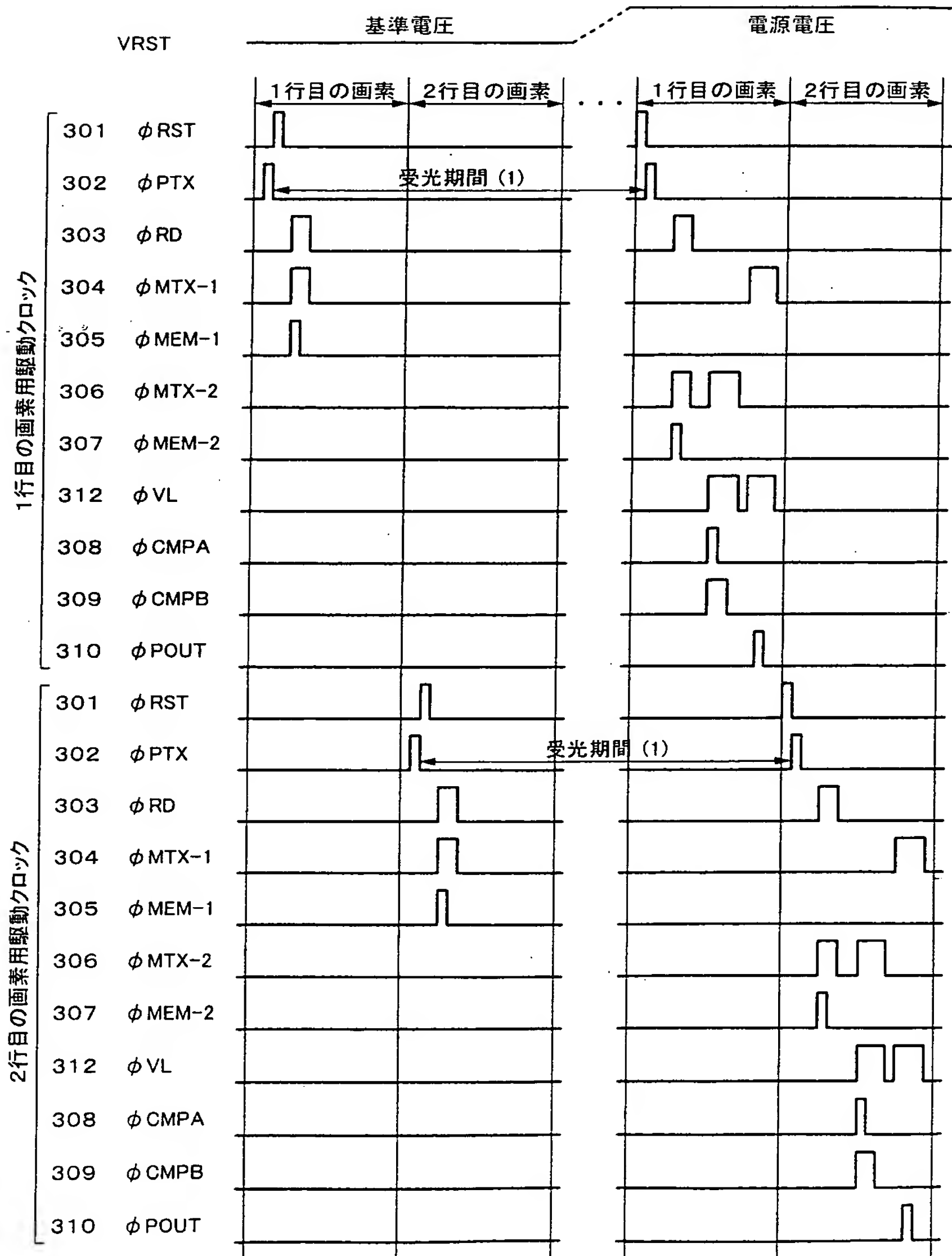


# 第9図C

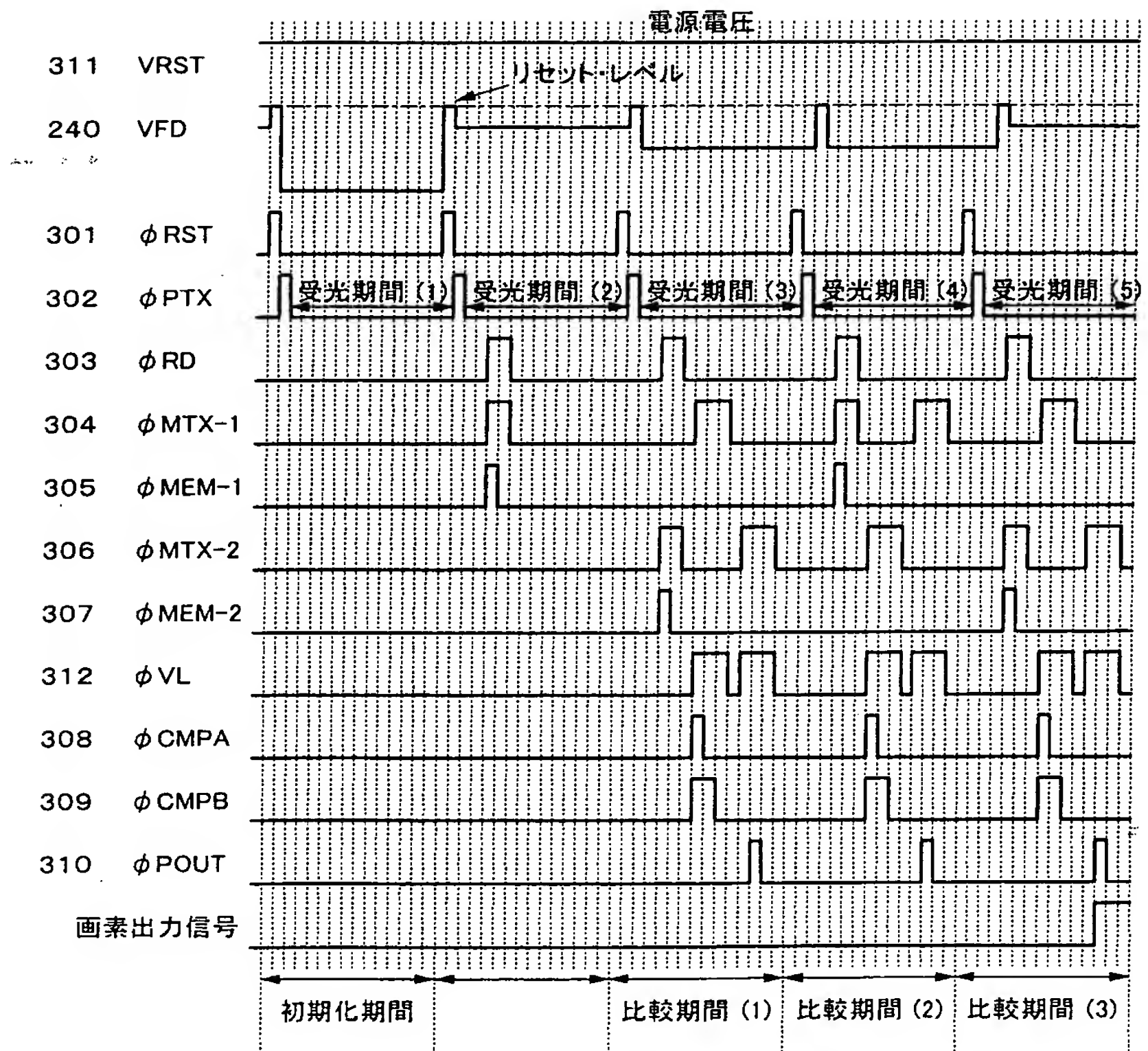




# 第 1 0 図



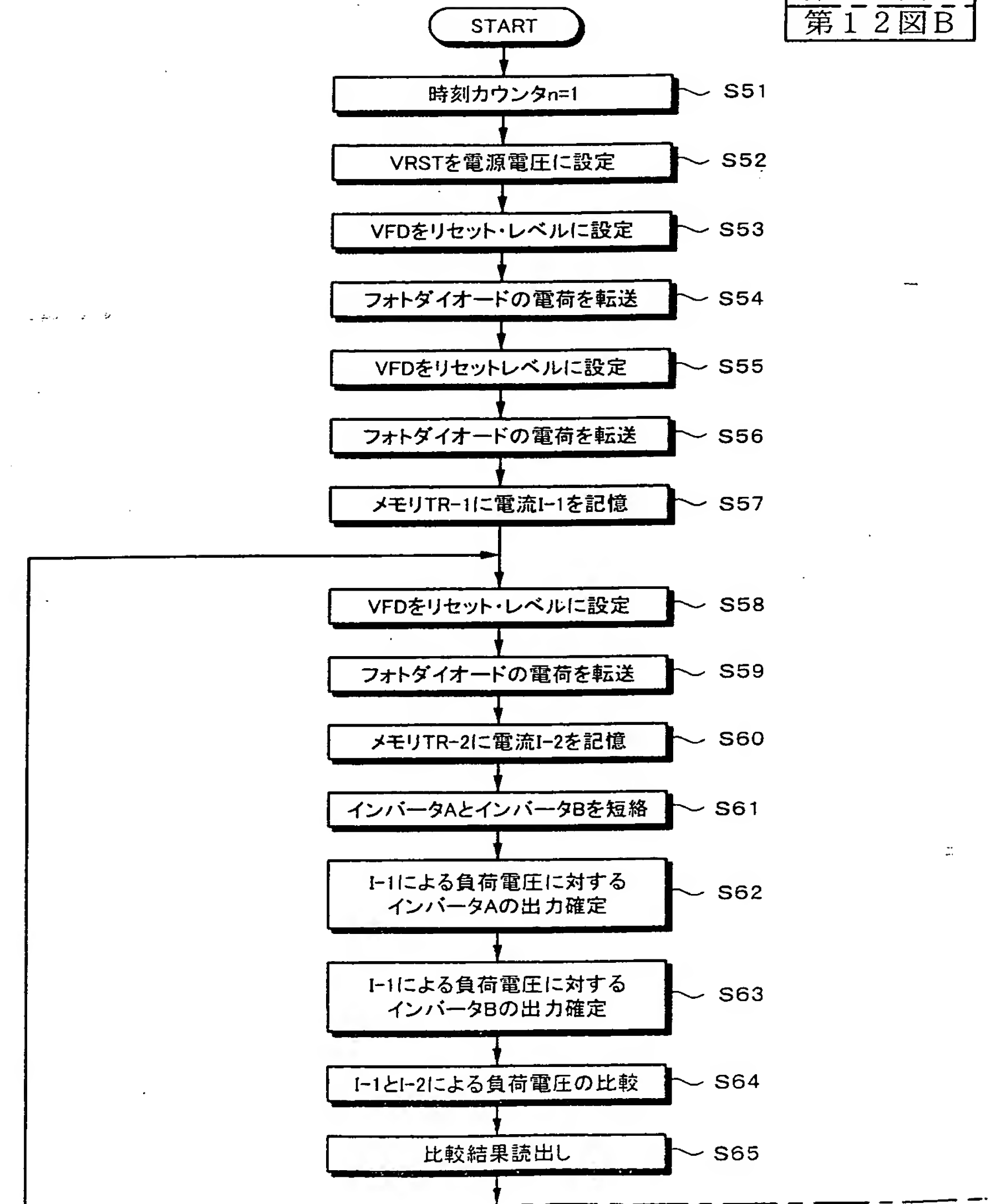
# 第 1 1 図



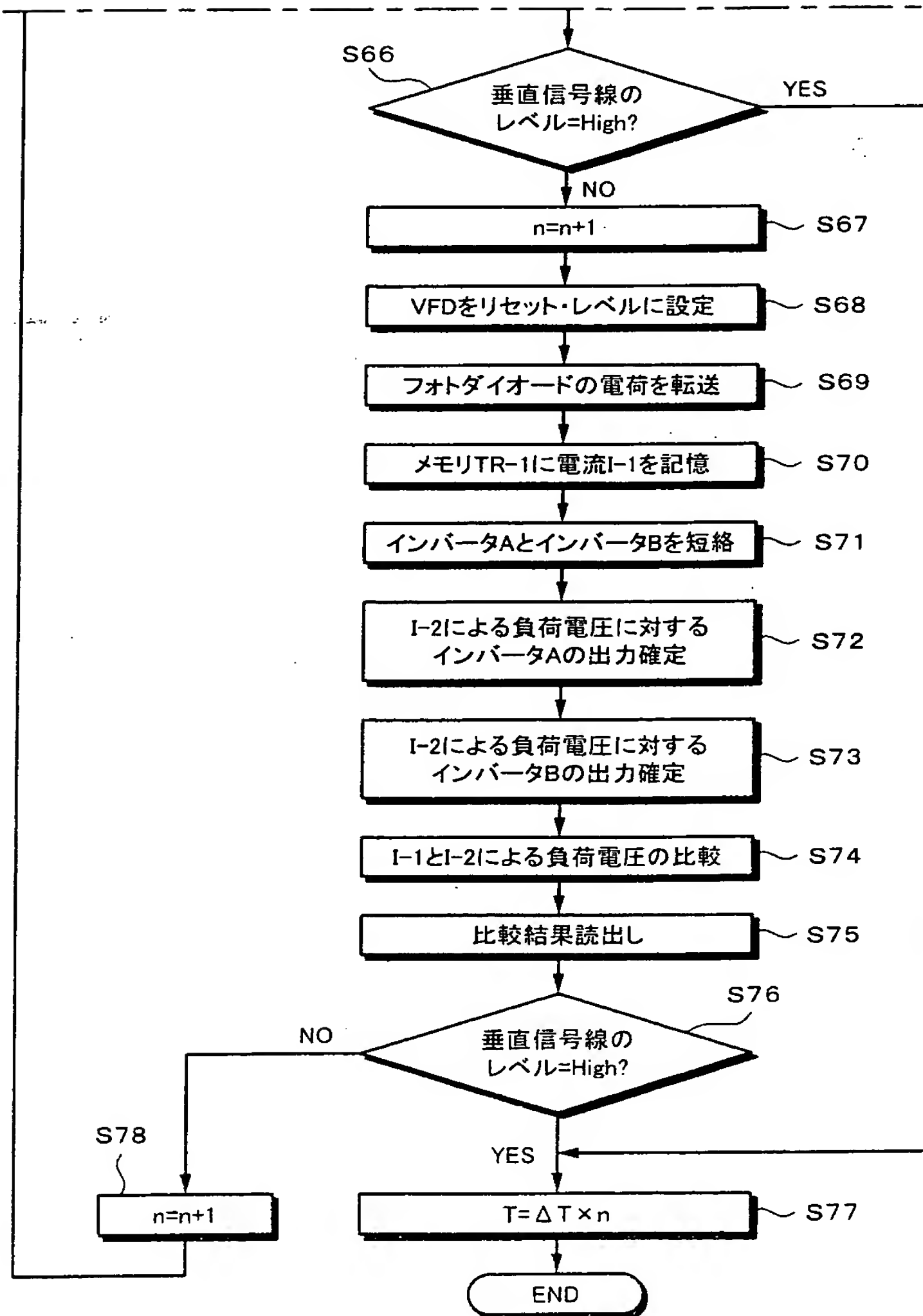
# 第 1 2 図 A

第 1 2 図

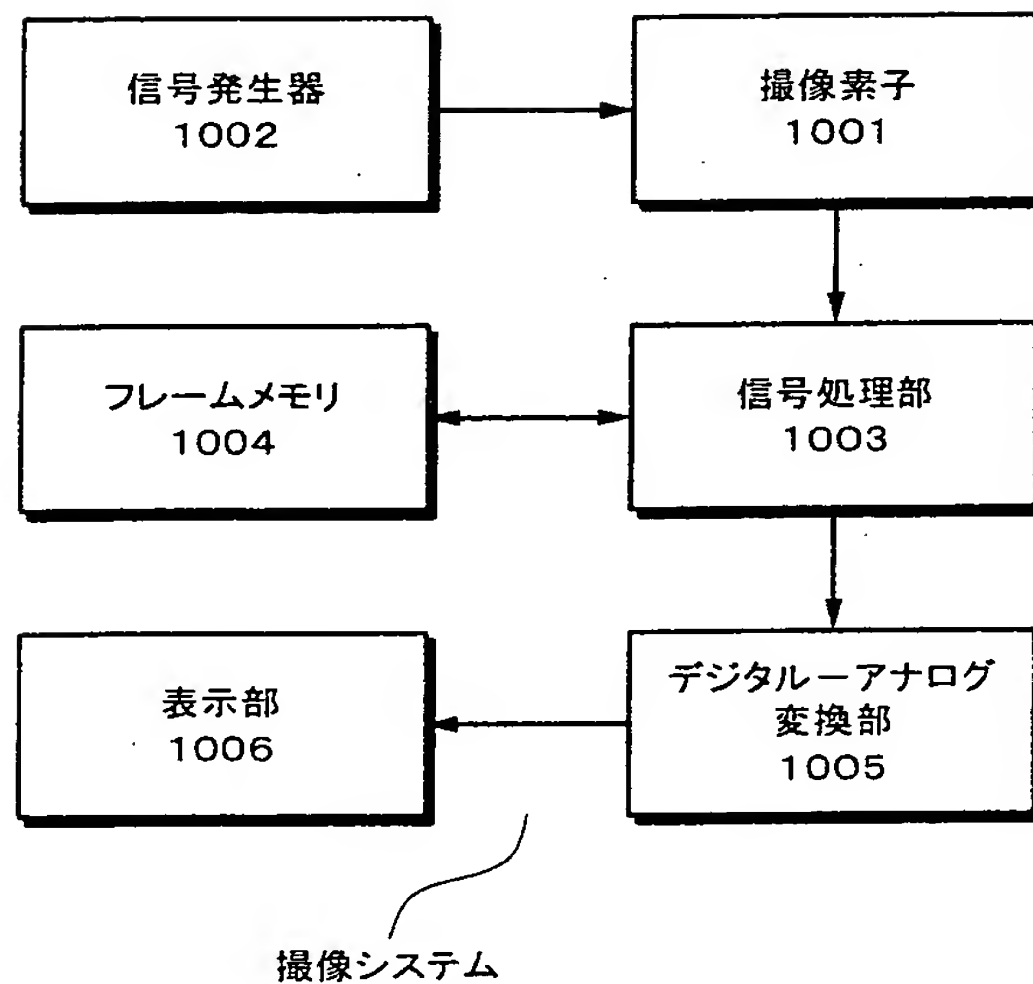
第 1 2 図 A
第 1 2 図 B



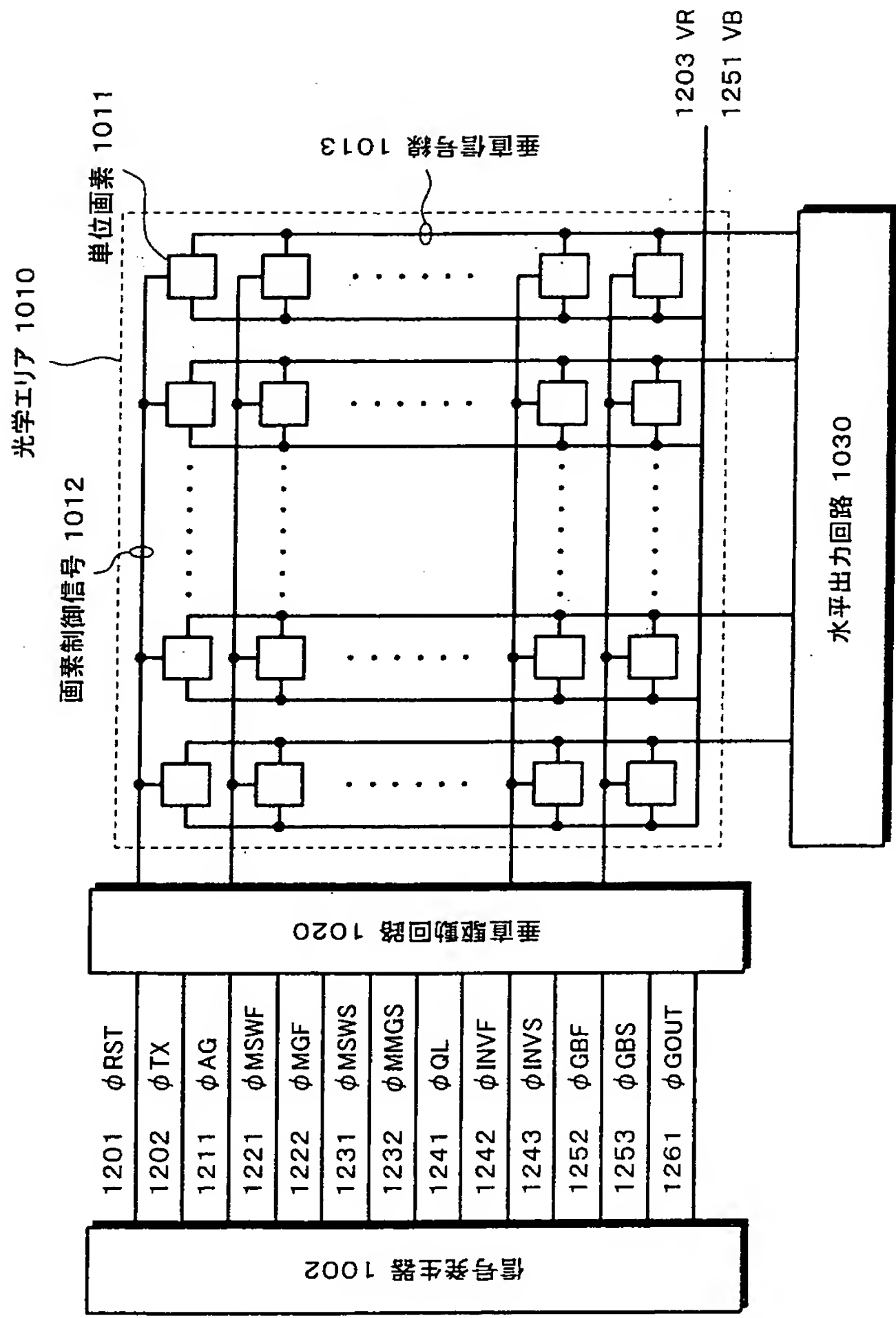
# 第12図B



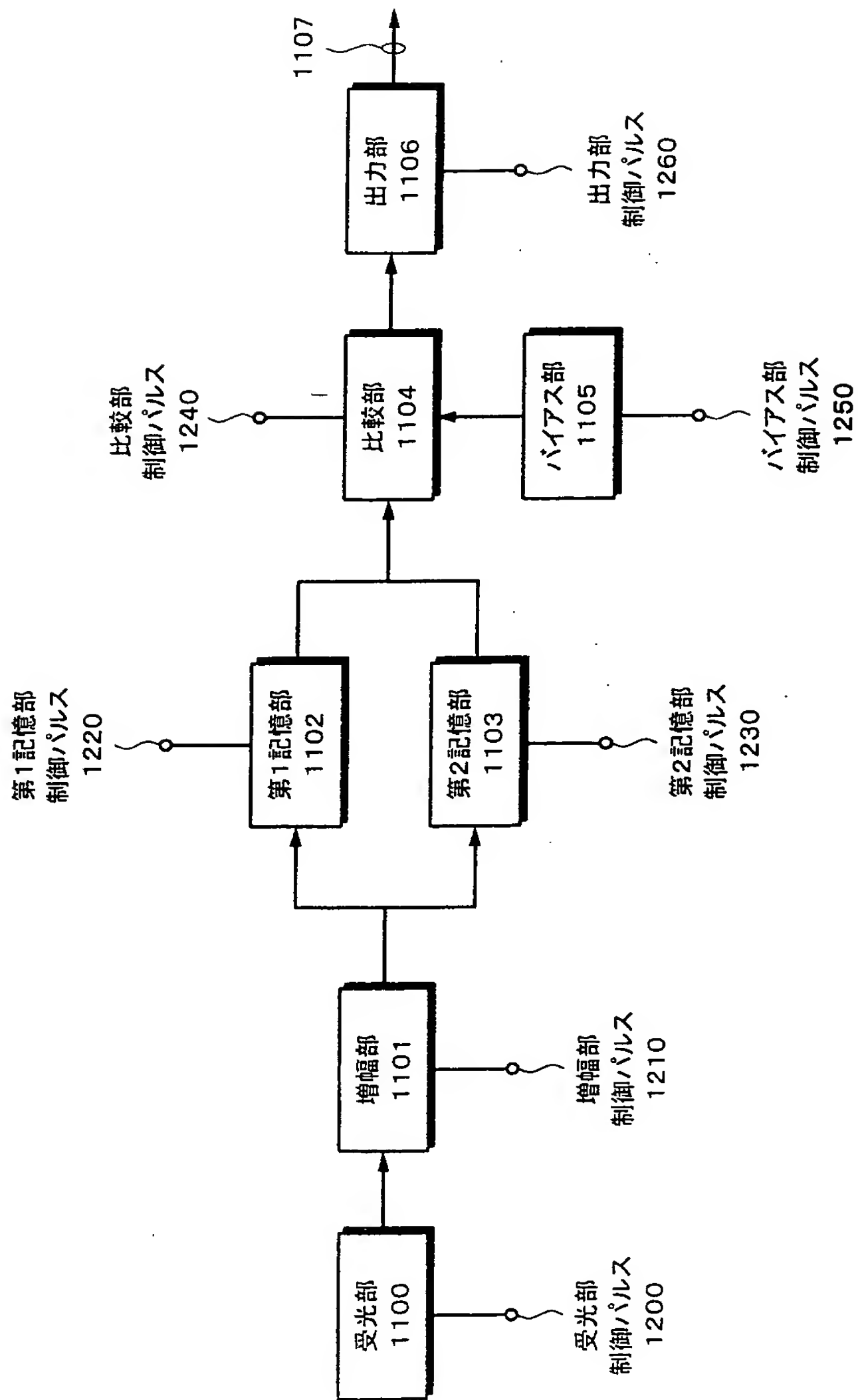
第 1 3 図



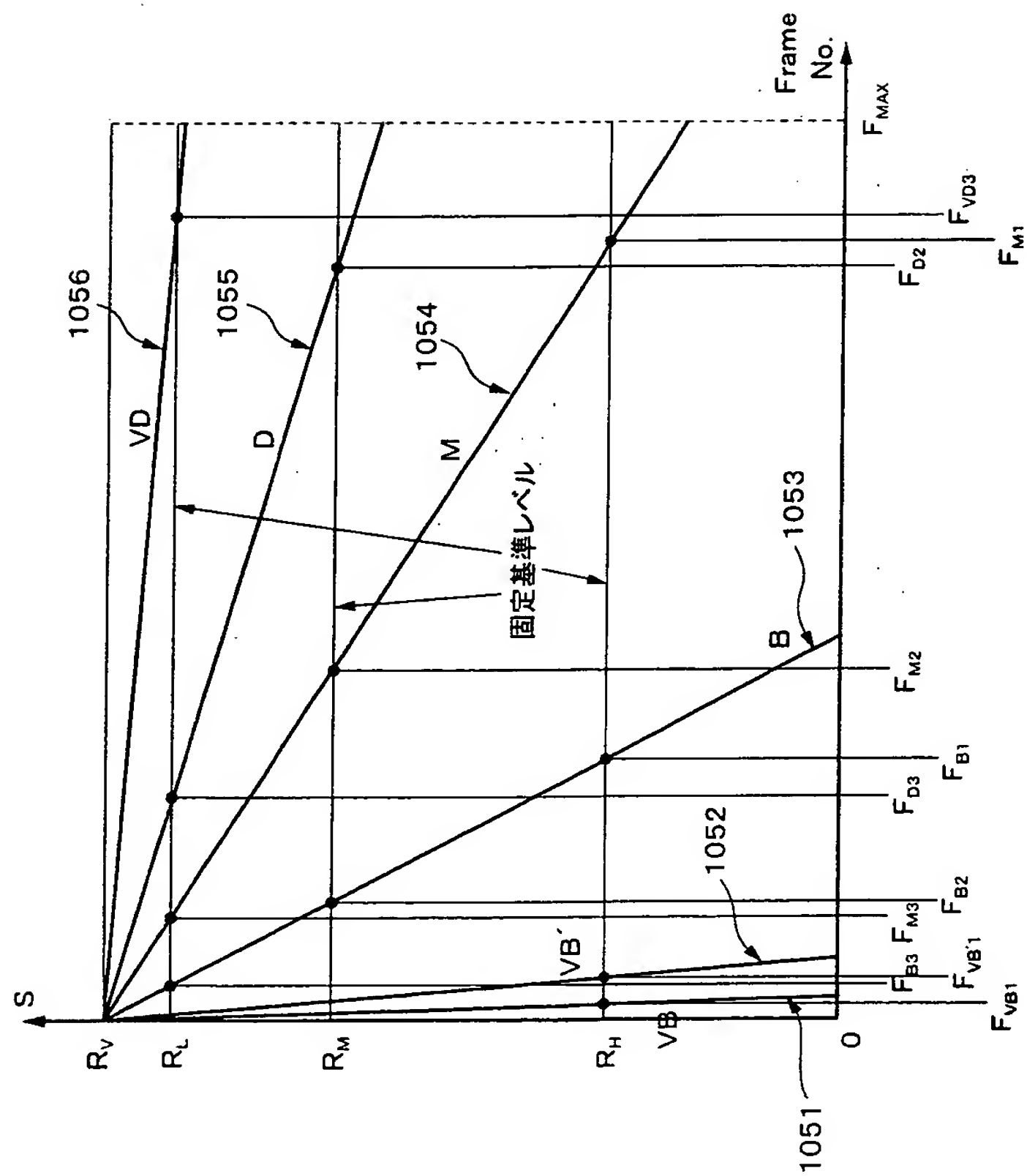
第14図



第15図



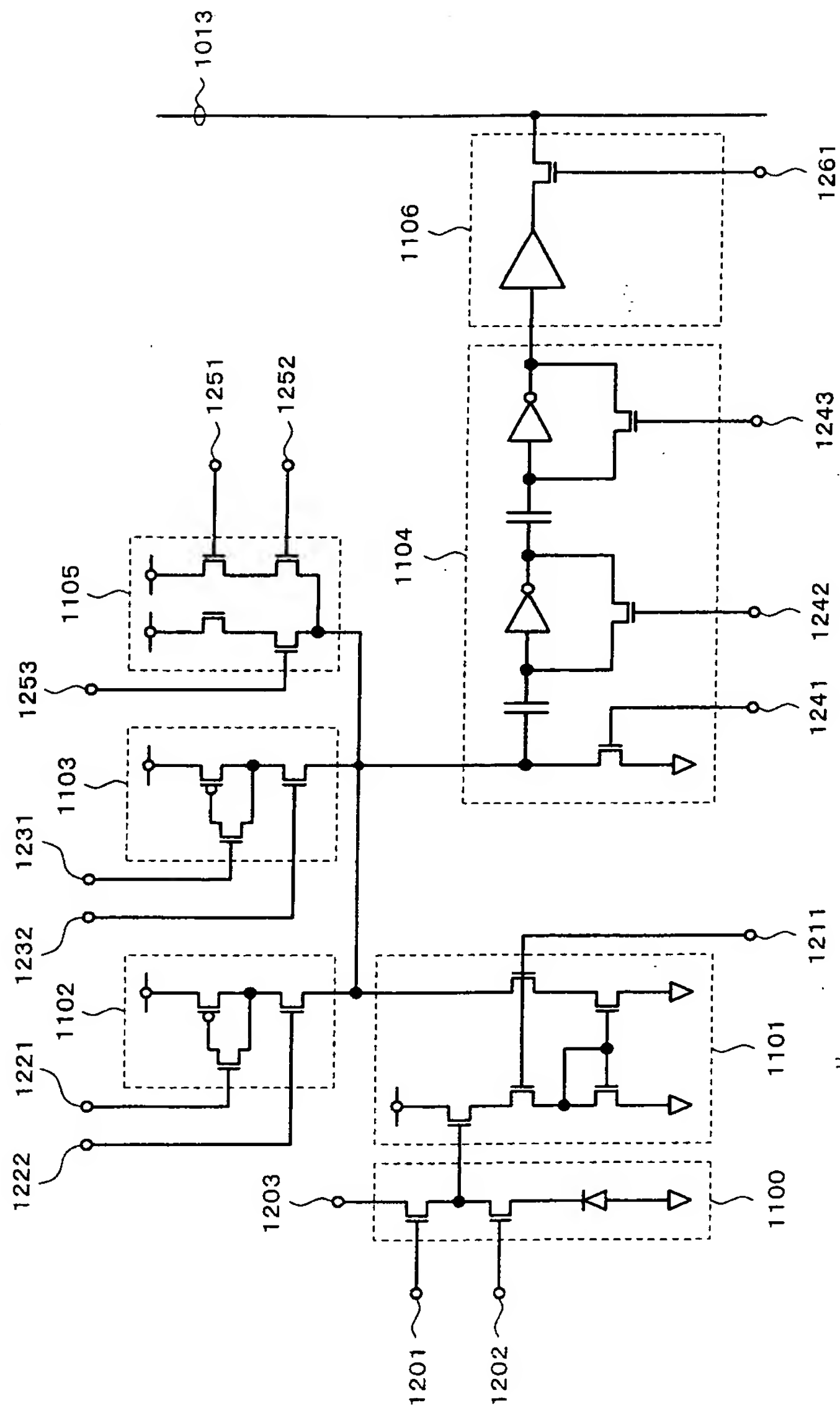
第 16 圖



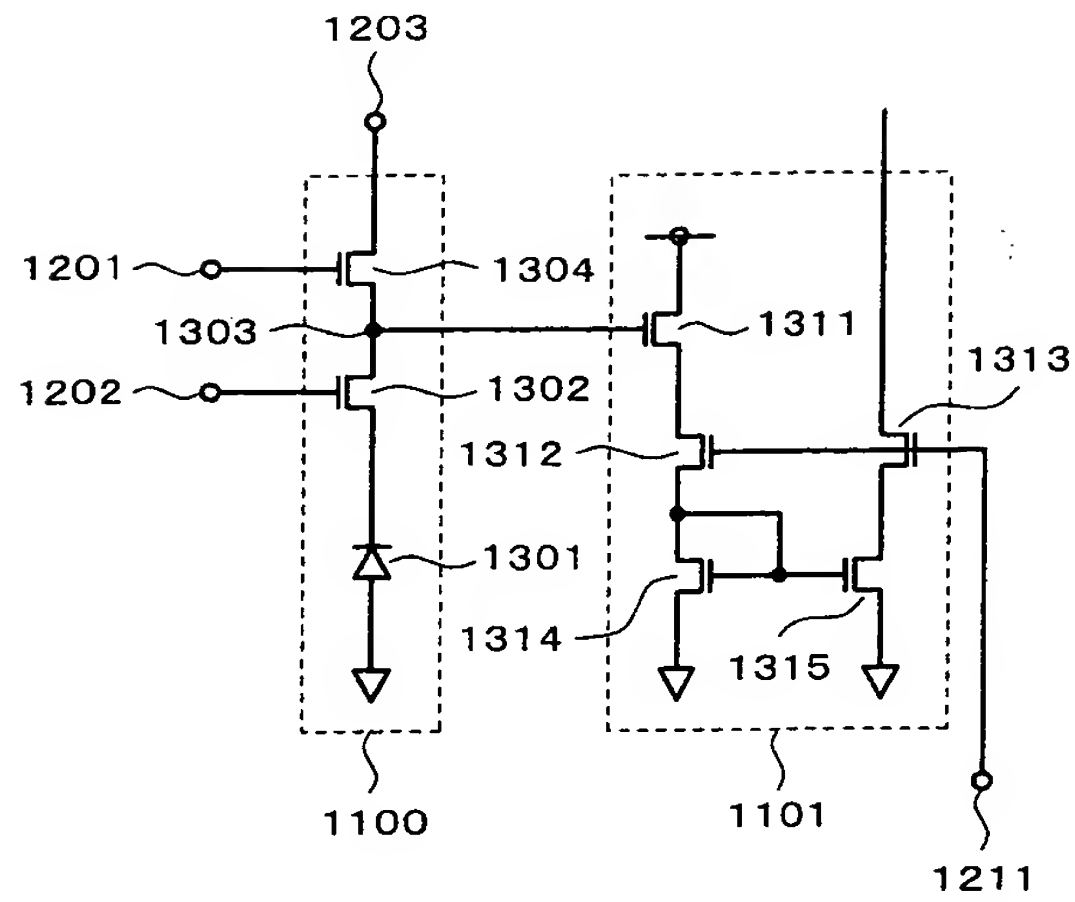




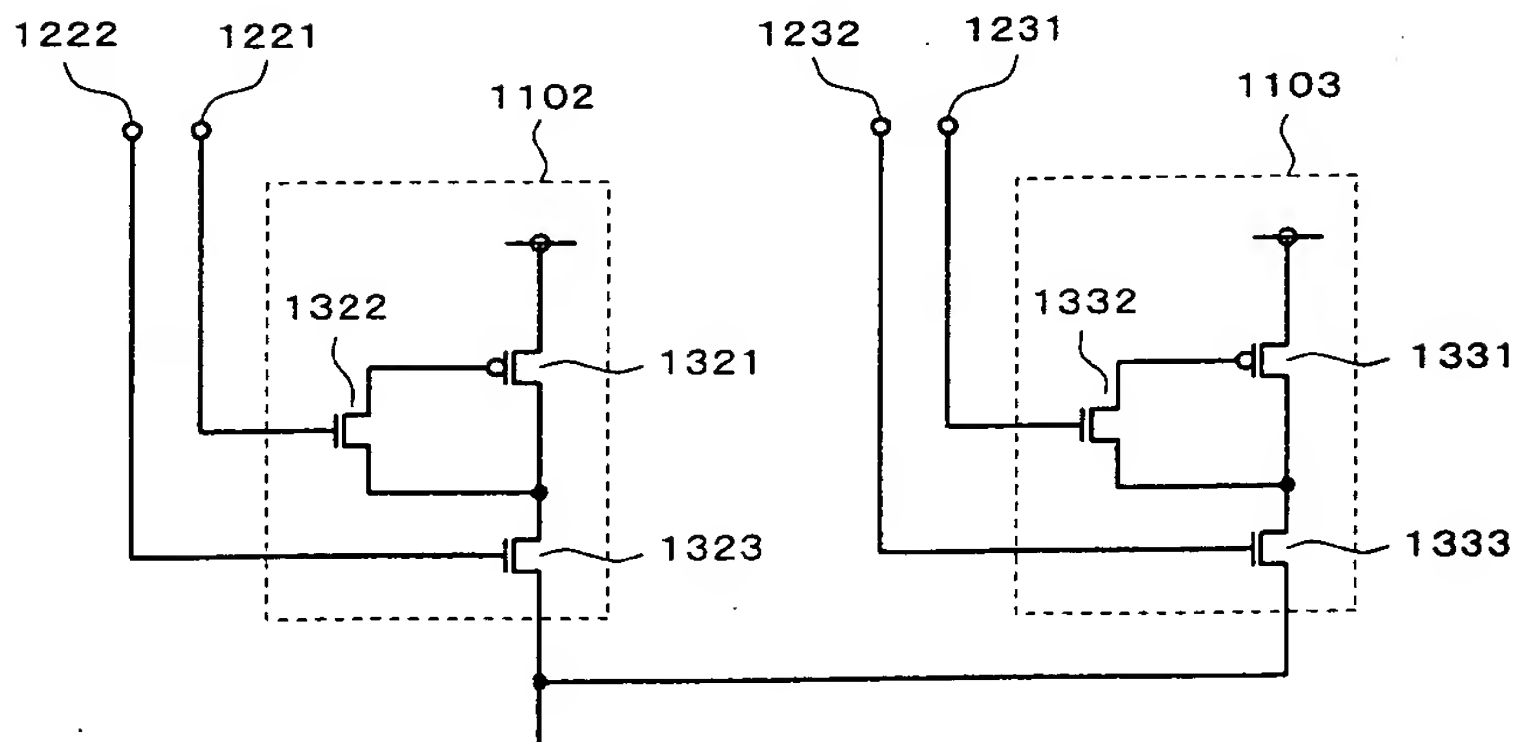
第18図



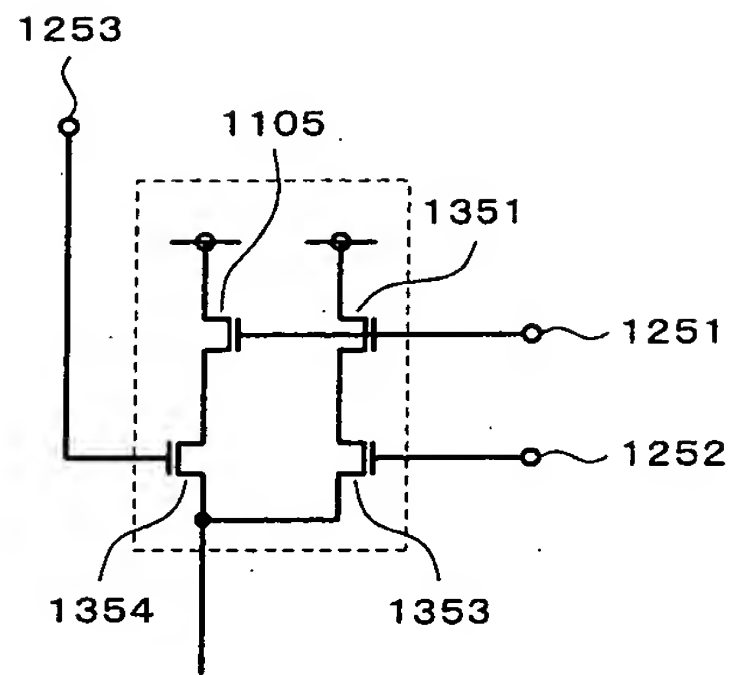
第 1 9 図



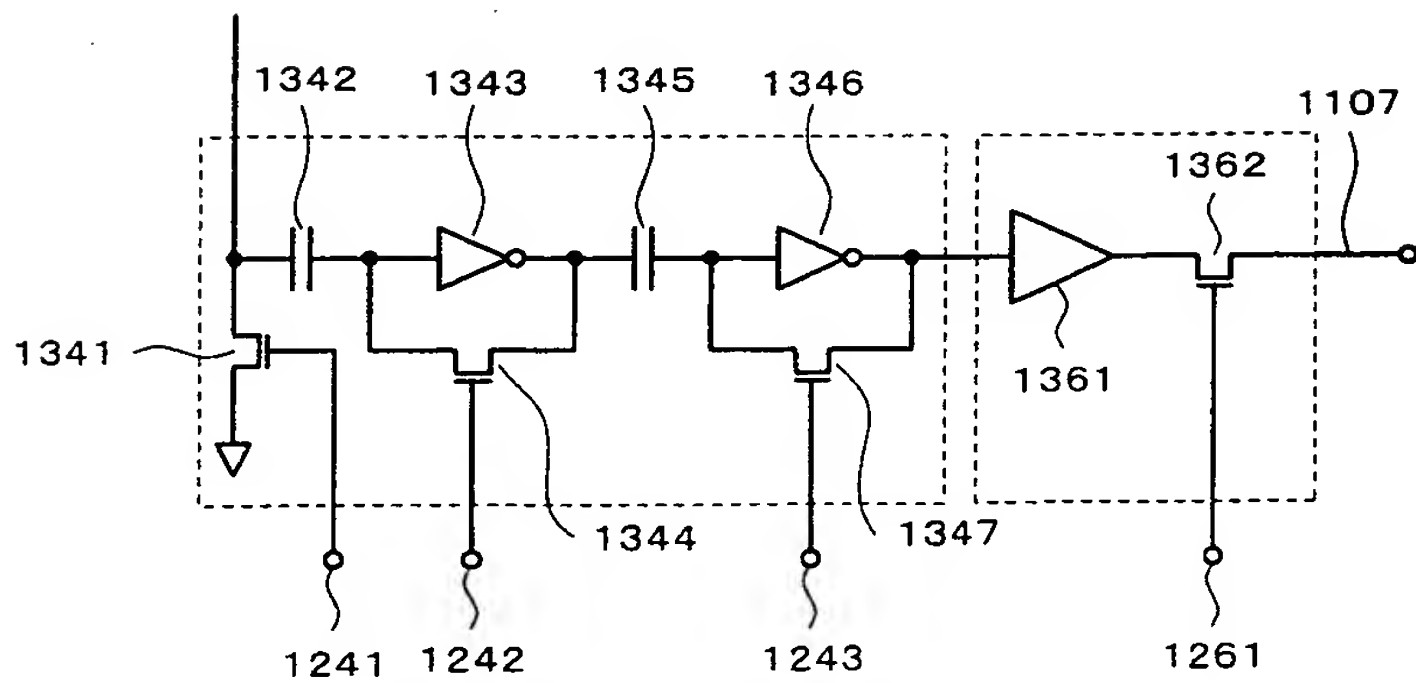
第 2 0 図



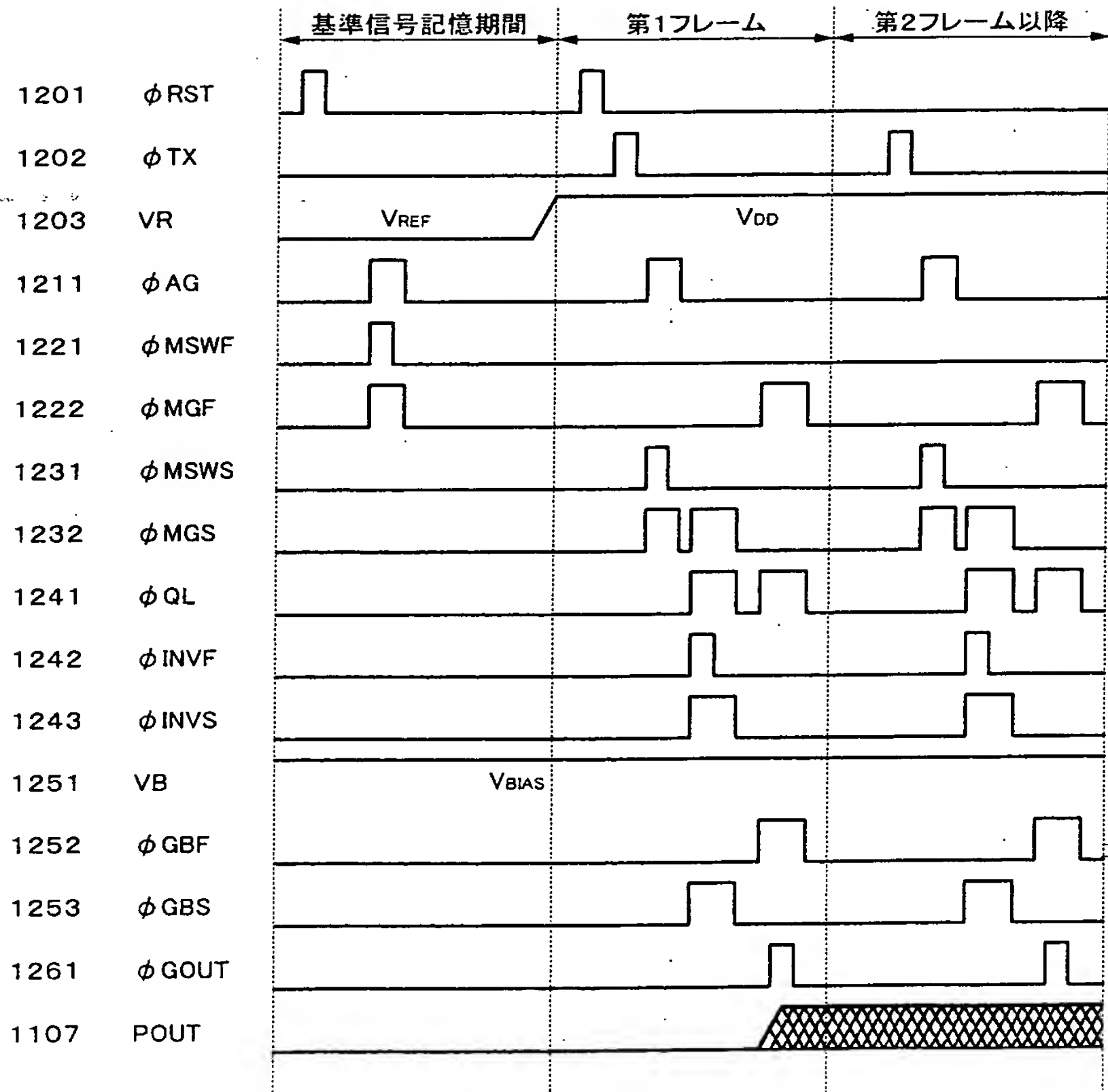
第 2 1 図



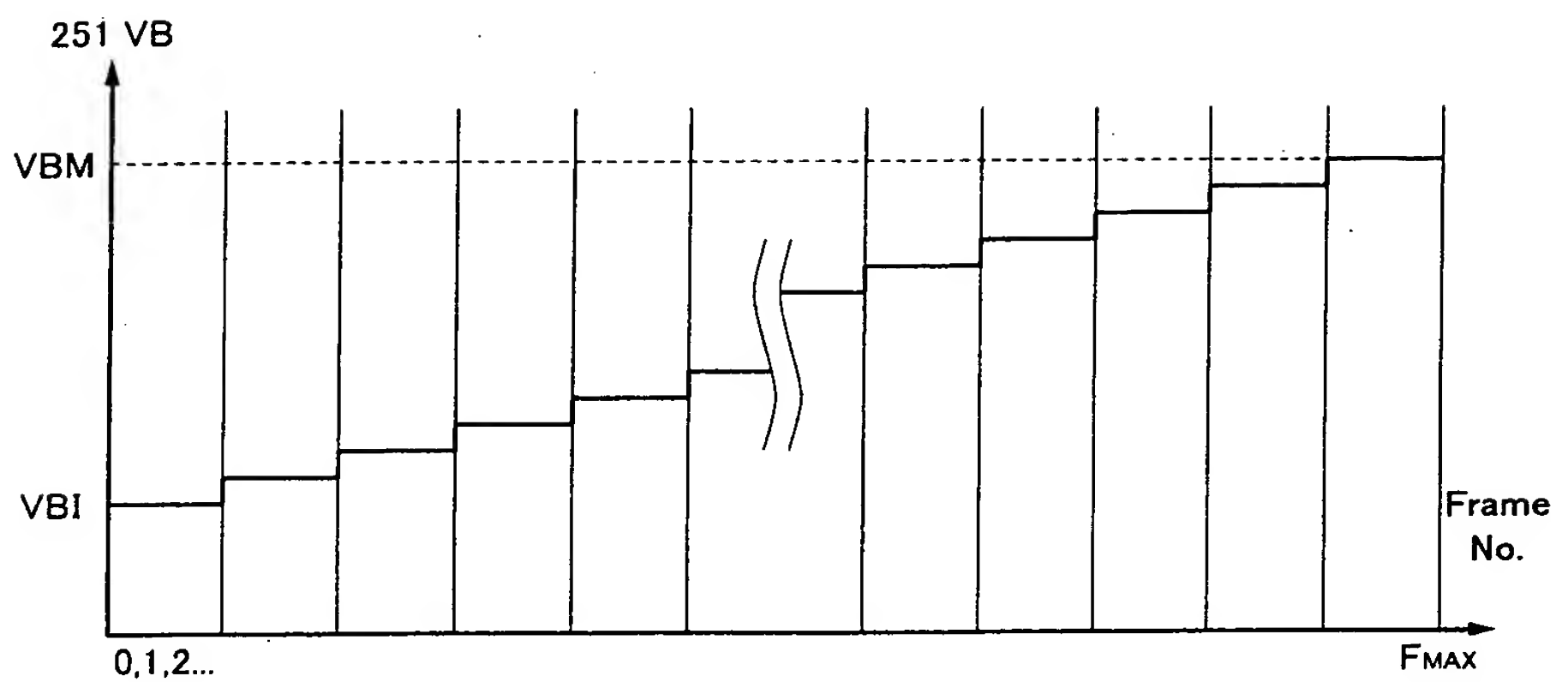
第 2 2 図



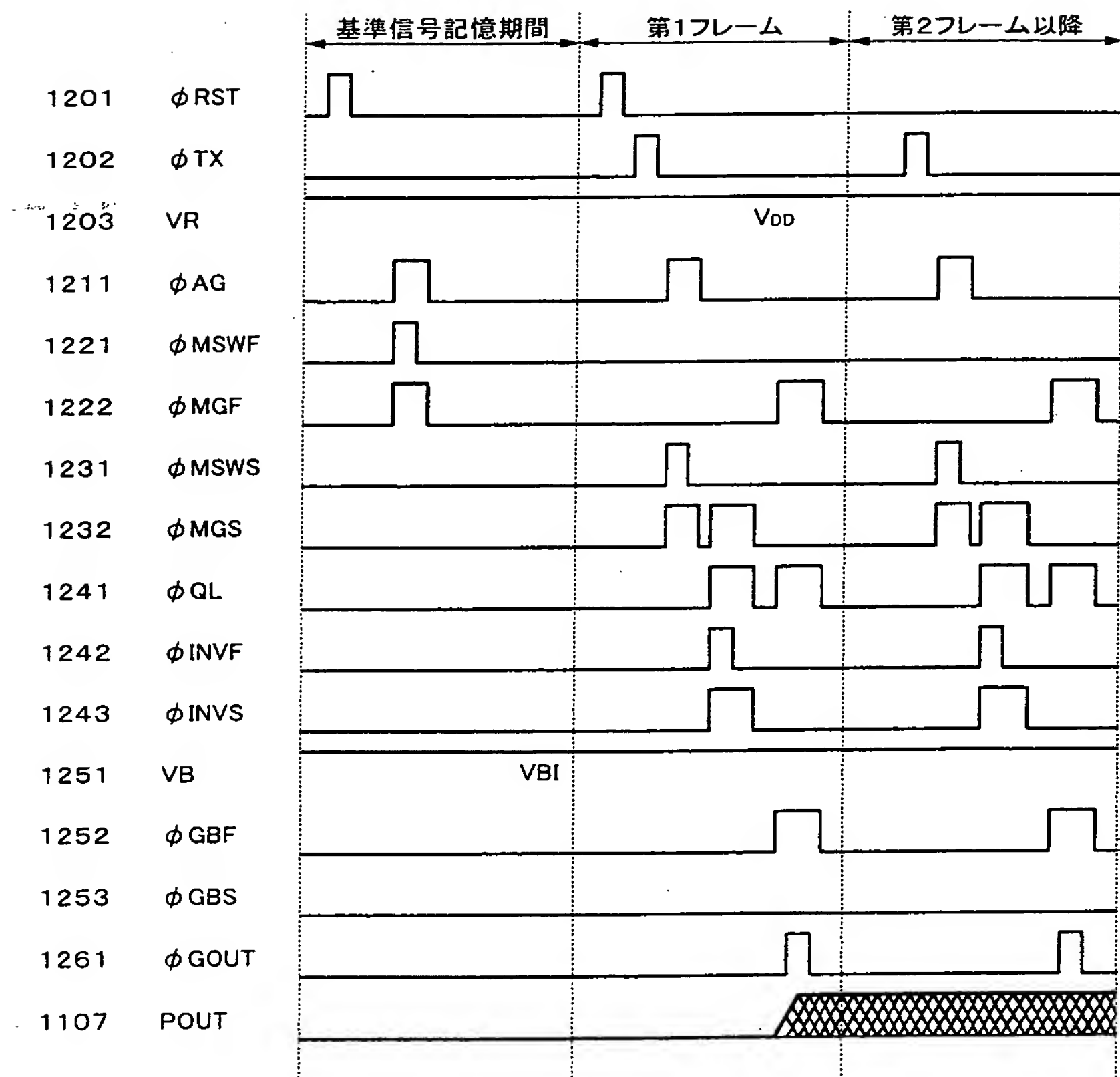
## 第 2 3 図



# 第 2 4 図



## 第 2 5 図



## 符号の説明

- 1 画素
- 2 駆動クロック・ジェネレータ
- 3 垂直駆動回路
- 1 0 受光部
- 2 0 第1増幅部
- 3 0 第2増幅部
- 4 0 記憶部
- 5 0 負荷部及び演算部
- 5 5 バイアス部
- 6 0 出力部
- 1 0 0 1 撮像素子
- 1 0 0 2 信号発生器
- 1 0 0 3 信号処理部
- 1 0 0 4 フレーム・メモリ
- 1 0 0 5 デジタルーアナログ変換部
- 1 0 0 6 表示部
- 1 0 1 1 単位画素
- 1 0 1 2 画素制御信号
- 1 0 1 3 垂直信号線



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. H04N5/335, G01C3/06

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. H04N5/335, G01C3/06, H01L27/14

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2001年
日本国登録実用新案公報	1994-2001年
日本国実用新案登録公報	1996-2001年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 7-67042 A (松下電器産業株式会社) 10. 3月. 1995 (10. 03. 95) 全文, 第1-7図 (ファミリーなし)	1-18
A	JP 7-274072 A (日本電気株式会社) 16. 7月. 1999 (16. 07. 99) 全文, 第1-2図 & US 5650643 A & EP 0675345 A	1-18
A	JP 8-275059 A (三菱電機株式会社)	3, 8, 13, 17

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

27. 07. 01

国際調査報告の発送日

07.08.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井上 信一

5P

9058

電話番号 03-3581-1101 内線 3541

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	18. 10月. 1996 (18. 10. 96) 段落番号【0003】 - 【0004】 , 第16図 (ファミリーなし)	